

**Eine schnelle Signalauslese für einen  
ortsempfindlichen Photonendetektor**

**Diplomarbeit**

**von**

**Anton Kastenmüller**

November 1994

Technische Universität München

Fakultät für Physik

Institut E12

## Zusammenfassung

Die vorliegende Arbeit beschreibt den Aufbau eines schnellen Datenaufnahmesystems, das die parallele Auslese einer großen Zahl von Kanälen ermöglicht.

Ausgehend von den Anforderungen an ein derartiges System, das zur Auslese des ringabbildenden Cherenkov-Detektors des Dileptonen-Spektrometers HADES eingesetzt werden soll, wird ein Gesamtkonzept vorgestellt, das dem Aufbau des RICH-Detektors angepaßt ist. Das vorgeschlagene Prinzip wird anschließend weiter verfeinert und eine Verteilung einzelner Funktionen auf Baugruppen festgelegt. Die Eigenschaften dieser Baugruppen und deren Zusammenschaltung werden in allgemeiner Form beschrieben. Im Anschluß wird detailliert auf die Entwicklung und Funktionsweise einer Baugruppe, der Frontend-Elektronik eingegangen, die im Rahmen dieser Arbeit entwickelt und getestet wurde. Der hierbei verwendete 16-kanalige integrierte ladungsempfindliche Vorverstärker AMPLEX wird ebenso wie der eingesetzte programmierbare Logik-Baustein in einer kurzen Einführung vorgestellt.

Um die Frontend-Elektronik unabhängig von den noch im Entwicklungsstadium befindlichen Baugruppen des Gesamtsystems zu testen, wurde eine Anpassung der Elektronik an einen PC realisiert. In einem Experiment am Münchner Tandem-Beschleuniger, dessen Aufbau und Auswertung beschrieben wird, konnte die Funktionsfähigkeit der Frontend-Elektronik gezeigt werden.

Zum Abschluß wird auf den Stand der Entwicklung weiterer Baugruppen des Systems und mögliche Verbesserungen der Frontend-Elektronik eingegangen.

# Inhaltsverzeichnis

<b>1. Motivation</b>	<b>1</b>
<b>2. Gesamtkonzept für eine schnelle Auslese</b>	<b>3</b>
2.1 Anforderungen an das System für den HADES RICH	3
2.2 Aufbau des Gesamtsystems	7
2.3 Funktionen der Systemkomponenten	10
2.3.1 Frontend-Modul	10
2.3.2 Daten-Konzentrator	12
2.3.3 Zentralmodul	14
2.3.4 Trigger-Prozessor	15
<b>3. Entwicklung eines Prototyps des Frontend-Moduls</b>	<b>17</b>
3.1 Aufgabenstellung für den Prototyp	17
3.2 Aufbau des Prototyp-Frontend-Moduls	18
3.3 Funktionsweise des AMPLEX-Vorverstärkers	22
3.4 Einführung in die Eigenschaften programmierbarer Logik	24
3.5 Betriebsarten des Frontend-Moduls	27
3.5.1 FPGA-Konfiguration	27
3.5.2 Programmieren der Schwellenwerte	28
3.5.3 Datenaufnahme	29
3.5.4 Datenauslese	29
<b>4. Erste Versuche mit dem Frontend-Modul</b>	<b>33</b>
4.1 Versuchsaufbau	33
4.2 Versuchsdurchführung am Tandembeschleuniger	36
4.3 Auswertung der gewonnenen Daten	38
<b>5. Ausblicke</b>	<b>42</b>
5.1 Weitere Schritte zum Aufbau des Gesamtsystems	42
5.1.1 Umstellung auf den GASSIPLEX-Chip	42
5.1.2 Entwicklung von Prototyp-Baugruppen für den VMEbus	42
5.2 Integration des Frontend-Moduls in ein ASIC	44
<b>Anhang</b>	<b>45</b>
A. Schaltpläne des Frontend-Moduls	45
B. Bestückungsplan und Anschlußbelegung des Frontend-Moduls	61
C. Timing des Frontend-Moduls	63
<b>Abbildungsverzeichnis</b>	<b>65</b>
<b>Literaturverzeichnis</b>	<b>67</b>

## 1. Motivation

Ein Problem bei der Untersuchung neuer kernphysikalischer Fragestellungen sind häufig die sehr kleinen Wirkungsquerschnitte der interessierenden Reaktionen. Um dieser Schwierigkeit zu begegnen, wird bei Experimenten an Teilchenbeschleunigern versucht, durch Erhöhung der Luminosität höhere Reaktionsraten und durch Optimierung der zum Teilchennachweis verwendeten Detektorsysteme eine möglichst große Akzeptanz und Nachweiseffizienz zu erreichen. Da diese oftmals großflächigen Detektorsysteme in der Regel eine starke Segmentierung aufweisen, sind häufig auch neue Konzepte für die Datenauslese und Weiterverarbeitung bei extrem hohen Raten erforderlich. Beispiele sind Silizium-Mikrostreifen-Zähler, wie sie zur Vertexrekonstruktion Verwendung finden, Mini-Driftkammern zur Spurerkennung geladener Teilchen und Cherenkov-Detektoren zur Teilchendiskriminierung. Ein gemeinsames Merkmal sind Kanalzahlen  $N > 10000$  und erforderliche Ausleseraten  $R > 10^4 \text{s}^{-1}$ .

Ein solches Detektorsystem ist der ringabbildende Cherenkov-Detektor (Ring Imaging Cherenkov - RICH), der am geplanten Di-Elektron Spektrometer HADES zur Untersuchung heißer, dichter Kernmaterie eingesetzt werden soll. [1] [2]

Hierbei muß das Datenaufnahmesystem, das zur Auswertung des ortsempfindlichen Photonendetektors benutzt werden soll, in der Lage sein, die  $1.5 \text{m}^2$  große Detektorfläche mit einer Rate  $R \approx 10^5 \text{s}^{-1}$  auszulesen. Die große Detektorfläche führt bei der geforderten Ortsauflösung zu einer großen Zahl von Kanälen  $N \approx 40000$ , die bei der erwarteten Ereignisrate in sehr kurzer Zeit vollständig bewertet und deren Daten gespeichert werden müssen.

Bisherige Systeme erlauben entweder schnell, aber unter Verzicht auf die Pulshöheninformation, Daten über den Ansprechort im Detektor zu finden, oder durch serielles Auslesen einzelner Kanäle bei entsprechend langen Auslesezeiten für die gesamte Detektorfläche auch Daten über die Pulshöhe der einzelnen Detektorelemente zu gewinnen.

Das erstgenannte Verfahren diskriminiert mittels analoger Schwellen bereits am Detektor unerwünschten Untergrund, bietet aber für die spätere Auswertung der Daten auch nur das Muster der angesprochenen Detektorelemente als Information. [3]

Das zweitgenannte Verfahren, das bei vertretbarem Verkabelungsaufwand durch serielles Verarbeiten einzelner Kanäle auch die Pulshöheninformation auswertet, ist aufgrund der mit der Kanalzahl steigenden Totzeit der Datenaufnahme nur für geringe Raten geeignet. [4]

Das Ziel dieser Arbeit war die Entwicklung eines Auslesesystems, das die Vorteile beider vorgenannten Verfahren kombiniert, ohne jedoch deren verfahrensspezifische Beschränkungen aufzuweisen. Das Auslesesystem soll in einer von der Kanalzahl unabhängigen und für hohe Ereignisraten geeigneten Zeit die gesamte Detektorfläche

auslesen, die Pulshöhen ermitteln und das Muster angesprochener Detektorelemente erzeugen. Das Muster muß für die Suche nach signifikanten Cherenkov-Ringen schnell zur Weiterverarbeitung zur Verfügung stehen, die durch programmierbare Schwellen datenreduzierte Pulshöheninformation soll für spätere Auswertungen wie Schwerpunktbildung bei mehreren angesprochenen Detektorelementen ebenfalls gespeichert werden. Im folgenden wird ein Gesamtkonzept zur Lösung dieses Problems beschrieben, wobei detaillierter auf den im Rahmen dieser Arbeit aufgebauten Prototyp des Frontend-Moduls eingegangen wird.

## 2. Gesamtkonzept für eine schnelle Auslese

Ein Datenaufnahmesystem mit dem bereits grob umrissenen Leistungsumfang besteht im allgemeinen aus mehreren Baugruppen. Durch einen modularen Aufbau erhält man eine größere Flexibilität des Systems, was zu einem breiteren Anwendungsfeld führt. Nicht zuletzt wird auch die Herstellung und Wartung durch die Zusammensetzung aus einzelnen Baugruppen vereinfacht und damit kostengünstiger.

Vor der Realisierung einzelner Funktionen in getrennten Komponenten müssen jedoch ausgehend von den Anforderungen an das Gesamtsystem Festlegungen über den Datenfluß zwischen den Komponenten getroffen und Schnittstellen vereinbart werden.

### 2.1 Anforderungen an das System für den HADES RICH

Die Anforderungen an das Datenaufnahmesystem ergeben sich einerseits aus dem Aufbau des RICH-Detektors und andererseits aus der Art der erwarteten Signale, die verarbeitet werden sollen.

Anhand der Schnittzeichnung des Detektors in Abbildung 2.1 sollen die wesentlichen Elemente kurz erläutert werden.

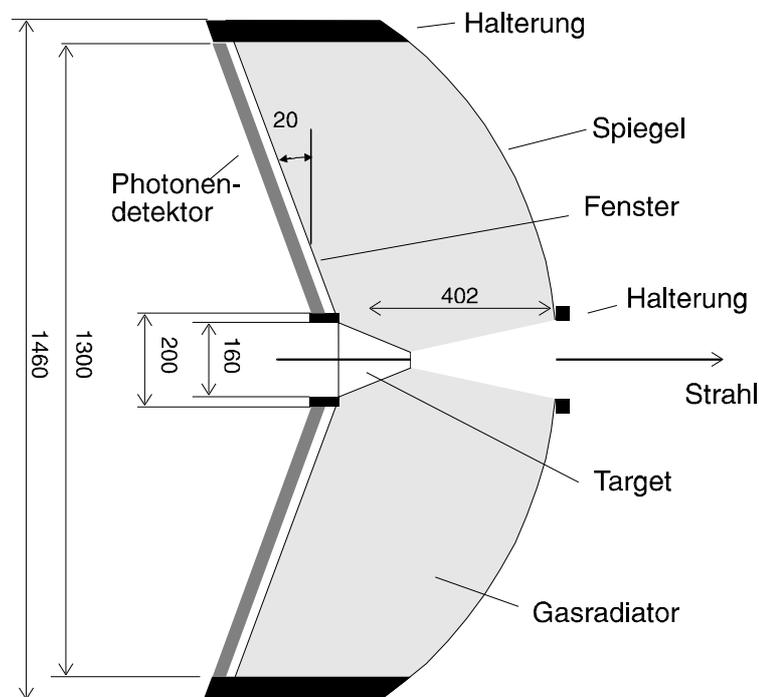


Abbildung 2.1 Schnittansicht des RICH-Detektors

Ausgehend vom Zentrum des Detektors, in dem sich das Target befindet, breiten sich die bei den Reaktionen des Strahls mit dem Target (z.B. Au+Au,  $E/A \approx 1-2\text{GeV/u}$ ,  $\beta=v/c \approx 0.95$ ) entstandenen ca. 200 geladenen Teilchen und ca. 20  $\pi^0$  in einem mit Radiatorgas gefüllten Raum aus, der azimuthal den vollen, polar einen Bereich von  $16^\circ$  bis  $88^\circ$  des möglichen Raumwinkels abdeckt. Der Brechungsindex des Radiatorgases ist so gewählt, daß hadronische Teilchen (Protonen, Pionen, Kaonen) kein Cherenkov-Licht erzeugen und daher größtenteils unterdrückt werden können. Im Gegensatz hierzu erzeugen die entstehenden ultrarelativistischen ( $\beta \approx 1$ ) Leptonen Cherenkov-Strahlung im UV-Bereich, die durch den in Vorwärtsrichtung montierten sphärischen Spiegel auf den rückwärtig angebrachten Photonendetektor fokussiert wird und dort in der Fokalebene Ringe erzeugt. Der Photonendetektor besteht aus einer Vieldrahtproportionalkammer mit  $\text{CaF}_2$ -Eintrittsfenster. Die Kathode ist in einzelne Elemente (Pads) unterteilt und mit CsI als Photokathode beschichtet. Der Detektor weist die Cherenkov-Ringe, die typisch 15-20 Photolektronen erzeugen, durch Pulshöhenauslese der Kathodenpads nach. Durch die Montage des Photonendetektors hinter dem Target wird verhindert, daß geladene Hadronen diesen passieren und zum Untergrund beitragen. Neben den gesuchten  $e^+e^-$ -Paaren ( $R \approx 1 \cdot 10^5 \text{s}^{-1}$ ), die in der frühen Phase des Kern-Kern-Stoßes bei hohen Dichten entstehen, wird ein starker leptonischer Untergrund mit Raten von  $10^4-10^5 \text{s}^{-1}$  erwartet, der durch Dalitz-Zerfälle ( $\pi^0 \rightarrow \gamma e^+e^-$ ) und Konversionsprozesse hochenergetischer  $\gamma$ -Quanten im Target und im Radiator hervorgerufen wird. [5]

Entsprechend der in Abbildung 2.2 gezeigten Zusammensetzung des Photonendetektors ist die mit dieser Rate auszulesende Fläche in 6 Segmente zu je 6560 mit CsI beschichteten Pads aufgeteilt.

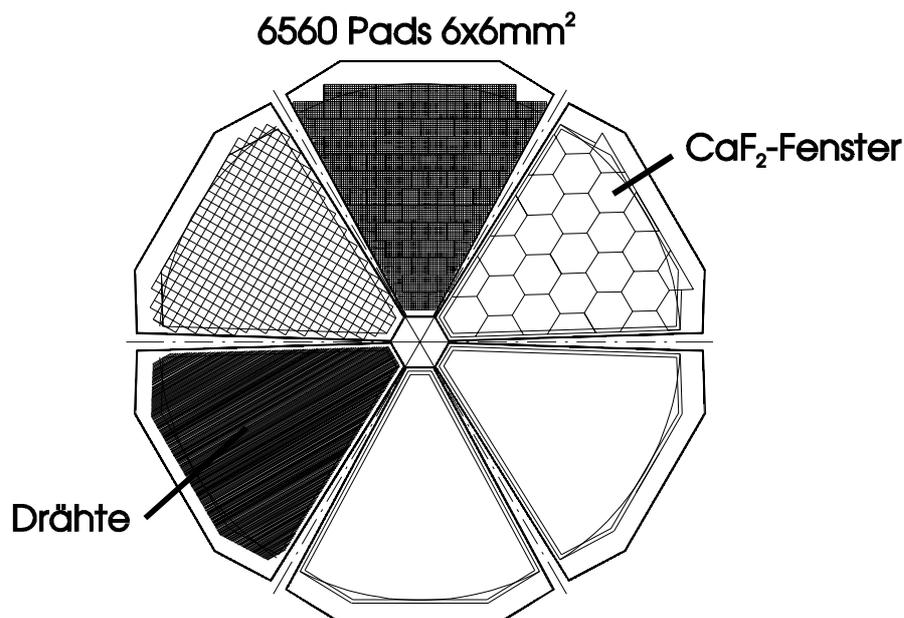
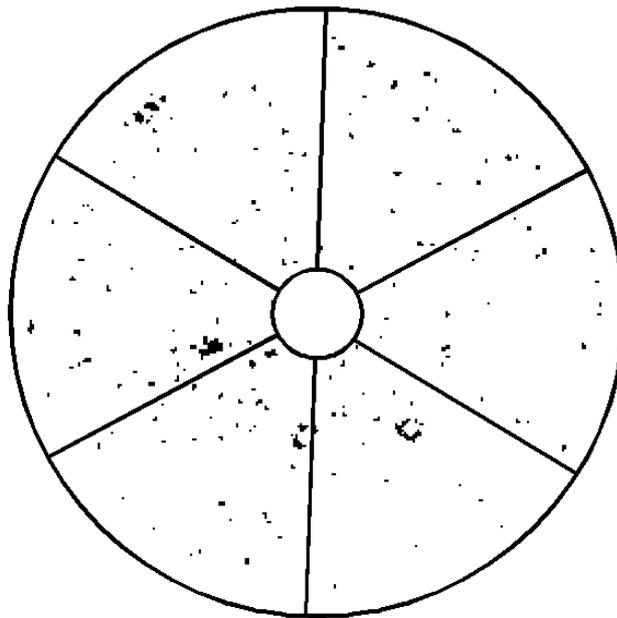


Abbildung 2.2 Aufteilung des Photonendetektors in Segmente

Zur Korrektur der Abbildungseigenschaften des Spiegels, die in den äußeren Bereichen der Segmente zu elliptisch verzerrten Bildern der gesuchten Ringe führen, ist eine Anpassung der Pad-Abmessungen vorgesehen. Durch diese Transformation wird vermieden, daß die Ringerkennung abhängig von der Lage des Rings auch elliptisch verzerrte Bilder positiv bewerten müßte.

Das Verhalten des RICH-Detektors wurde durch Simulationsrechnungen intensiv untersucht, die neben den Teilchenbahnen, der Lichtemission im Radiatorgas und der Geometrie des Spiegels und des Eintrittsfensters auch Reflexionen und Brechung an diesen berücksichtigt.[5] Aufgrund der Simulationsergebnisse kann eine Abschätzung der pro Ereignis ansprechenden Pads und der damit zu erwartenden Datenmenge durchgeführt werden.

Abbildung 2.3 zeigt ein typisches Muster angesprochener Pads bei einem zentralen Au+Au-Stoß mit 1 AGeV.[5]



**Abbildung 2.3** Typisches Ansprechmuster der Pads für einen zentralen Au+Au-Stoß mit 1 AGeV

Aus den Konstruktionsmerkmalen und den obengenannten Simulationsergebnissen lassen sich folgende Anforderungen an das Datenaufnahmesystem ableiten:

- Das Gesamtsystem muß nach der Auslösung durch einen Triggerimpuls die Pulshöhen von ca. 40000 Kanälen (Pads) auslesen
- Die Auslese muß bei Ereignisraten von  $10^5 \text{ s}^{-1}$  erfolgen, was die Auslesezeit für den gesamten Detektor auf  $10\mu\text{s}$  beschränkt

- Das Muster der angesprochenen Pads muß schnellstmöglich zur Ringerkennung ausgegeben werden
- Da pro Ereignis nur 1%-10% der Pads ansprechen, muß auf die Pulshöheninformation ein Datenreduktionsverfahren angewandt werden, um nicht getroffene Pads bei der Datenübertragung und Speicherung zu unterdrücken
- Das System muß dennoch ca.  $4 \cdot 10^8$  Datenworte pro Sekunde zwischenspeichern
- Ein modularer Aufbau sollte die Aufteilung in 6 Einheiten entsprechend den Detektorsegmenten ermöglichen
- Aufgrund der hohen Zahl von Kanälen und der Stömpfindlichkeit der an den Pads anliegenden Signale sollte eine Vorverarbeitung bereits auf der Rückseite des Photonendetektors stattfinden. Die Baugröße der Frontend-Elektronik ist somit durch die maximal hinter dem Detektor mögliche Packungsdichte beschränkt

Ein zusätzlicher Gesichtspunkt, der bei der Konzeption des Systems nicht vernachlässigt werden darf, ist die Kostenfrage für den gesamten Aufbau.

## 2.2 Aufbau des Gesamtsystems

Das System setzt sich, wie Abbildung 2.4 zeigt, aus 6 voneinander weitgehend unabhängigen Einheiten mit eigener CPU und eigenem Trigger-Prozessor zur Ringerkennung zusammen.

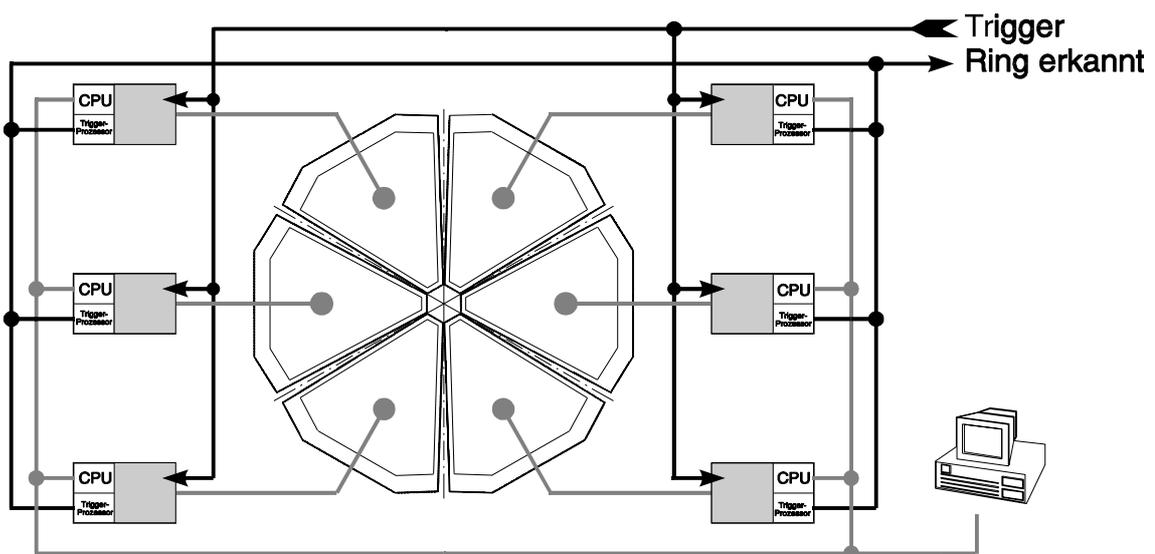


Abbildung 2.4 Aufbau des Gesamtsystems zur Auslese des HADES-RICH-Detektors

Der zum Start der Auslese benötigte Trigger wird parallel an alle Einheiten verteilt.

Jede Einheit liefert ein Signal bei erkanntem Ring, das zur Erzeugung weiterer Trigger verwendet werden kann. Die Kommunikation der CPU-Einschübe der einzelnen Einheiten mit der oder den Workstations, die bei der Inbetriebnahme des Detektors die Datenaufnahme initialisieren und konfigurieren und während des Betriebs das Wegschreiben der Daten erledigen, geschieht über eine Netzwerkverbindung.

Um zumindest teilweise auf kommerziell gefertigte Baugruppen wie CPU-Module zurückgreifen zu können, werden die Einheiten als VME-Bus-Systeme realisiert.

Der VME-Bus (Versa Module Eurocard) geht auf die Beschreibung eines Bus-Systems durch die Firmen Motorola, Mostek und Signetics im Jahre 1981 zurück, deren Ziel es war, ein erweiterungsfähiges Bus-Konzept für 8-, 16- und 32-Bit Datenformate zu entwerfen. Der VME-Bus-Standard, der seit 1981 einige Erweiterungen und Anpassungen erfahren hat, ist in keiner Weise lizenzpflichtig, was zu einem vielfältigen Angebot an Baugruppen von verschiedensten Herstellern geführt hat. [6] [7]

Um auch bei der Auslese eines einzelnen Segmentes ein paralleles Konzept aufrechtzuerhalten, wird ein Segment des Detektors auf einen quadratischen Bereich von 128x128 Pads abgebildet. Diese Abbildung wirkt sich hauptsächlich auf den Aufbau der verwendeten Datenstrukturen aus. Das bedeutet insbesondere, daß für die in dem Quadrat tatsächlich nicht vorhandenen Pads auch keine Elektronik vorhanden ist. Das System verhält sich aber so, als wären die nicht vorhandenen Pads gelesen und negativ bewertet worden. Dies vereinfacht die Datenübergabe an den Trigger-Prozessor, da dieser so ein Muster der angesprochenen Pads mit fester Zeilenlänge erhält.

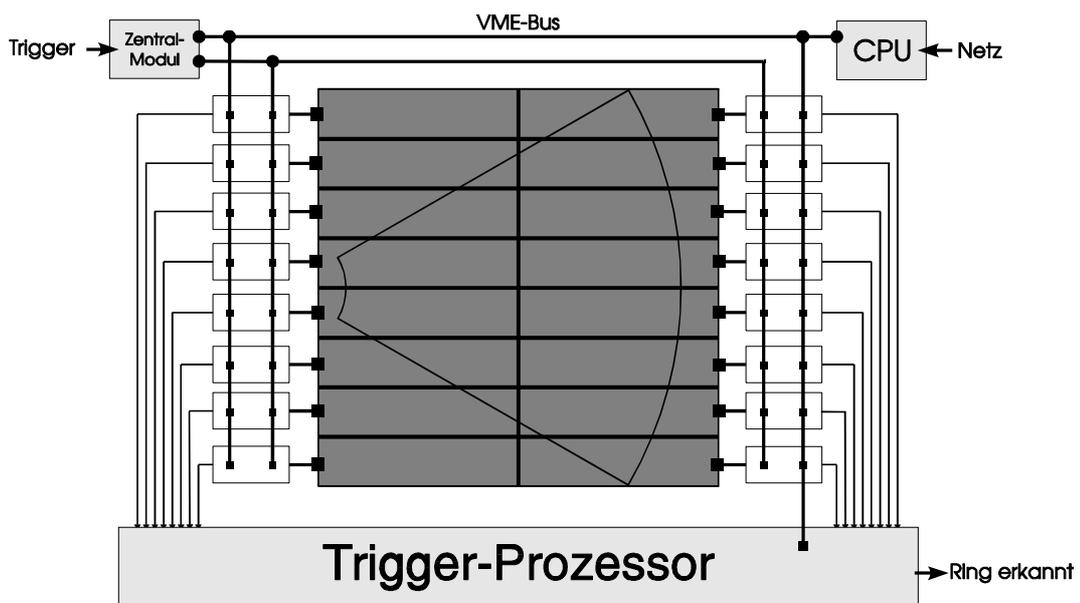
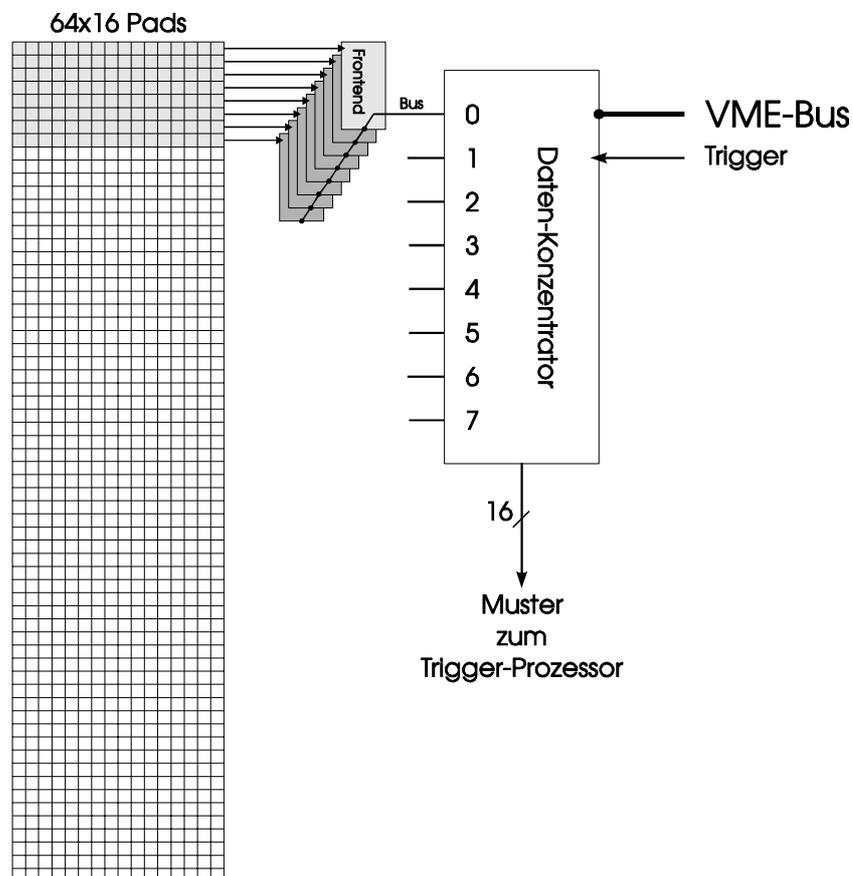


Abbildung 2.5 Aufbau des Auslesesystems für ein Detektorsegment

Wie Abbildung 2.5 zeigt, wird der quadratische Bereich in Gruppen zu je 64x16 Pads unterteilt, die von einer VME-Bus Baugruppe behandelt werden. Diese Baugruppen erhalten ihre Trigger-Information von einem für alle Baugruppen gemeinsamen Einschub und geben das Muster angesprochener Pads direkt an den Trigger-Prozessor zur Ringerkennung weiter. Die Steuerung übernimmt der bereits erwähnte CPU-Einschub.

Die Beschaltung einer Pad-Gruppe zeigt Abbildung 2.6. Jeweils 16 Pads werden an einem Frontend-Modul angeschlossen, das sich direkt am Detektor befindet. Dieses Modul übernimmt die analoge Vorverarbeitung der Signale und bietet ausgangsseitig die Möglichkeit, an einem rein digitalen Bus mehrere Module zu kaskadieren.



**Abbildung 2.6** Aufbau des Auslesesystems für eine Pad-Gruppe

Eine Modulkette mit jeweils 8 Modulen (entsprechend 128 Pads) wird einem Anschluß an einem Daten-Konzentrator zugeordnet, der über den Modul-Bus die Konfiguration, Steuerung und Datenübertragung der Frontend-Module koordiniert. Die aus 16x64 Pads bestehende Gruppe wird auf insgesamt 8 derartige Modulketten aufgeteilt, die der Daten-Konzentrator an seinen 8 Anschlüssen parallel bedient.

Die Aufteilung in Baugruppen ist durch die o.g. Organisation bereits nahegelegt. Für die Auslese von 128x128 Pads werden benötigt:

- 1024 Frontend-Module mit je 16 Eingängen und Bus-fähigem Ausgang
- 16 Daten-Konzentratoren mit je 8 Schnittstellen für Modulketten bestehend aus 8 Frontend-Modulen
- 1 Zentralmodul zur Triggerverteilung und Takterzeugung
- 1 Trigger-Prozessor zur Ringerkennung
- 1 CPU-Modul zur Systemsteuerung, das kommerziell verfügbar ist

Die Zahl der Frontend-Module wird bei dem Einsatz des Systems am HADES-RICH aufgrund der Form der Segmente auf eine den vorhandenen Pads angepaßte Zahl reduziert.

## 2.3 Funktionen der Systemkomponenten

Eine weitere Verfeinerung des Konzepts führt zu Funktionsbeschreibungen der einzelnen Baugruppen, die entwickelt und getestet werden müssen. Ausgehend von den Funktionsbeschreibungen erfolgt dann der Schaltungsentwurf.

### 2.3.1 Frontend-Modul

Ausgelöst durch einen extern zugeführten Trigger liest das Frontend-Modul völlig selbständig 16 Kanäle aus. Hierbei übernimmt das Frontend-Modul die gesamte analoge Vorverarbeitung des Signals, setzt die Signale in digitale Werte um, trennt die Pulshöheninformation von dem Muster angesprochener Pads ab und schreibt die Daten in einen Zwischenspeicher. Ein Auslesezyklus läuft nahezu vollständig parallel für den gesamten Detektor ab und ist nach einer vorgegebenen Zeit beendet. Die Abholung der Daten erfolgt asynchron, d.h. unabhängig von der Detektorauslese.

Abbildung 2.7 zeigt die einzelnen Funktionsblöcke des Frontend-Moduls, die im folgenden erläutert werden.

Das vom Detektorpad kommende Signal, das positive Polarität hat, wird zunächst einem ladungsempfindlichen Vorverstärker zugeführt und dort verstärkt. Im Anschluß durchläuft es einen Filterverstärker (Shaper) zur Signalformung und liegt danach an einer "Track&Hold"-Stufe an, die dem Signalpegel ständig folgt. Erhält die Ablaufsteuerung des Frontend-Moduls einen Trigger-Impuls, so werden die Schalter der

Track&Hold-Stufen geöffnet, und die Signale, die zum Triggerzeitpunkt vorlagen, bleiben an dem 16 zu 1 Multiplexer stabil.

Die Ablaufsteuerung beginnt nun synchron mit dem anliegenden Systemtakt (Sys-Clk) und unter Fortzählung der Kanalnummer die 16 Kanäle nacheinander in Digitalwerte umzusetzen und zu bewerten. Die Bewertung wird durch einen digitalen Komparator vorgenommen, der die Pulshöhe eines Pads mit einer für jedes Pad getrennt programmierbaren Schwelle vergleicht. Die Entscheidung des Komparators wird als einzelnes Bit in ein Schieberegister geschoben und ergibt am Ende eines Konvertierungszyklus das Muster der angesprochenen Pads (Pattern). Lag die Pulshöhe des Pads über der Schwelle, so wird dieser Wert und die Adresse (Kanalnummer) des Pads in einen Zwischenspeicher geschrieben (FIFO First-In-First-Out-Speicher).

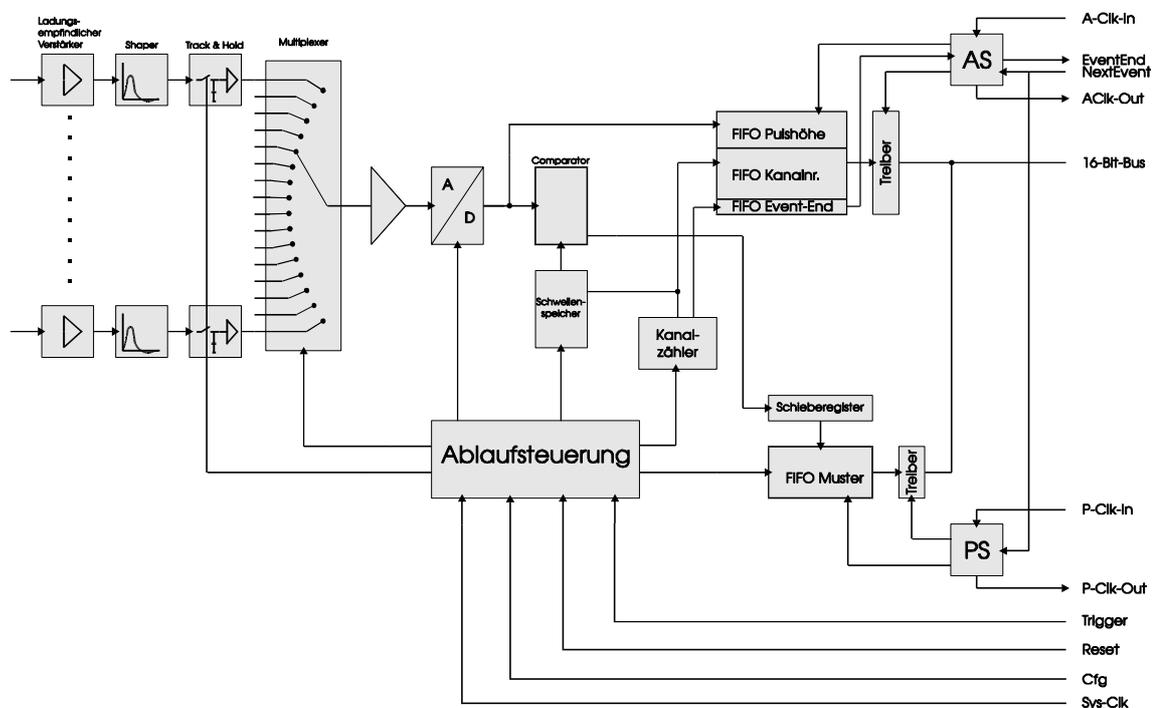


Abbildung 2.7 Funktionsblöcke des Frontend-Moduls

Nach der Bewertung der 16 vorhandenen Kanäle kann auch die Information, die sich in dem 16 Bit breiten Schieberegister angesammelt hat, in einen FIFO-Speicher übertragen werden. Zusätzlich wird eine Markierung in das Pulshöhen-FIFO gelegt, um trotz variabler Zahl von Pulshöhenwerten in dem FIFO-Speicher das Ende eines Ereignisses zu kennzeichnen.

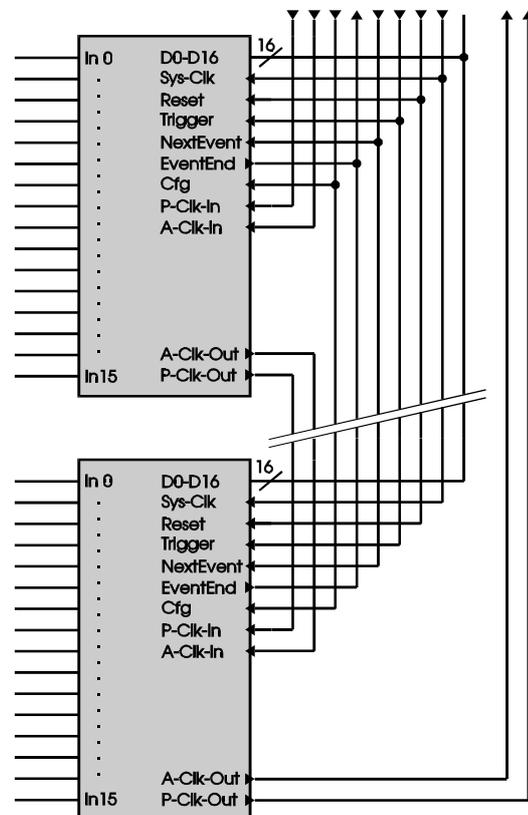
Durch den Einsatz von FIFO-Speichern mit entsprechender Kapazität ist das Frontend-Modul in der Lage, mehrere Ereignisse zu puffern, ohne daß eine Auslese der Daten erfolgt. Die Datenauslese kann somit asynchron ablaufen, da das Frontend-Modul bei konstanter Konvertierungszeit für ein Ereignis, die auch der Totzeit des Datenauf-

nahmesystems entspricht, nicht unmittelbar nach einem Ereignis ausgelesen werden muß. Unabhängig vom Einschreiben der Daten in die FIFO-Speicher erfolgt an einem digitalen Modul-Bus die Auslese der Daten. Das Ausleseprotokoll ist so konzipiert, daß die Auslese des Pattern getrennt von der Pulshöheninformation erfolgen kann. Damit ist das Pattern sehr schnell für die Weiterverarbeitung verfügbar. Durch die Verwendung von zwei Funktionsblöcken, die der Weiterschaltung von Leseimpulsen dienen (AS Analog-Switch, PS Pattern-Switch), ist es möglich, eine Kette von Frontend-Modulen auszulesen.

Dieses in Abbildung 2.8 dargestellte Kaskadierungsprinzip ("Daisy-Chain") vereinfacht die Ansteuerung der einzelnen Frontend-Module in einer Kette, da keine Adressierung der Module erforderlich ist.

Durch eine modulinterne Logik werden jeweils nur die zu einem Ereignis gehörenden Daten nacheinander auf den 16 Bit breiten Datenbus gelegt und anschließend der Bus-Zugriff an das nächste Frontend-Modul übergeben. Durch eine Rückführung der Ausgangssignale des letzten Moduls erkennt der steuernde Daten-Konzentrator das Ende eines Auslesezyklus und kann, sofern weitere Ereignisse in den FIFO-Speichern abgelegt sind, den nächsten Zyklus starten.

Neben den im Betrieb erforderlichen Signalen enthält der Modul-Bus noch zusätzliche Leitungen, die der Initialisierung und Konfiguration der Frontend-Module dienen. Da diese für den Ablauf der eigentlichen Datenaufnahme aber nicht von Bedeutung sind, werden sie später erläutert.



**Abbildung 2.8** Zusammenschaltung mehrerer Frontend-Module zu einer "Daisy-Chain"

### 2.3.2 Daten-Konzentrator

Der Daten-Konzentrator stellt die Verbindung der Frontend-Module, die sich direkt am Detektor befinden, und dem VME-Bus System her. Er steuert die Datenauslese aus den einzelnen Modulketten, die an den 8 verfügbaren Schnittstellen des Konzentrators angeschlossen sind. Durch den Multiplex-Betrieb der Schnittstellen wird im Konzentrator die Datenübertragungsrate im Vergleich zum Modul-Bus verachtfacht.

Zusätzlich ist über die Schnittstellen auch ein direkter Zugriff auf einzelne Modulketten möglich, um die Initialisierung und Konfiguration der Frontend-Module durchzuführen. Den prinzipiellen Aufbau des Daten-Konzentrators zeigt Abbildung 2.9, eine genaue Beschreibung des internen Ablaufs kann aufgrund der noch nicht abgeschlossenen Schaltungsentwicklung nicht gegeben werden. Von jedem der 8 Schnittstellenblöcke werden bei der Pattern-Auslese 16-Bit breite Datenworte direkt an einen Ausgang gelegt, von wo sie der Trigger-Prozessor zur Weiterverarbeitung übernimmt. Bei der Auslese der Pulshöhenwerte leiten die dann im Multiplex-Verfahren betriebenen Schnittstellen die Daten der Frontend-Module an eine Adresserweiterungseinheit weiter, die zu der 4-Bit Pad-Adresse die Nummer des zugehörigen Frontend-Moduls in einer Kette und die Nummer der Konzentratorscheitstelle hinzufügt.

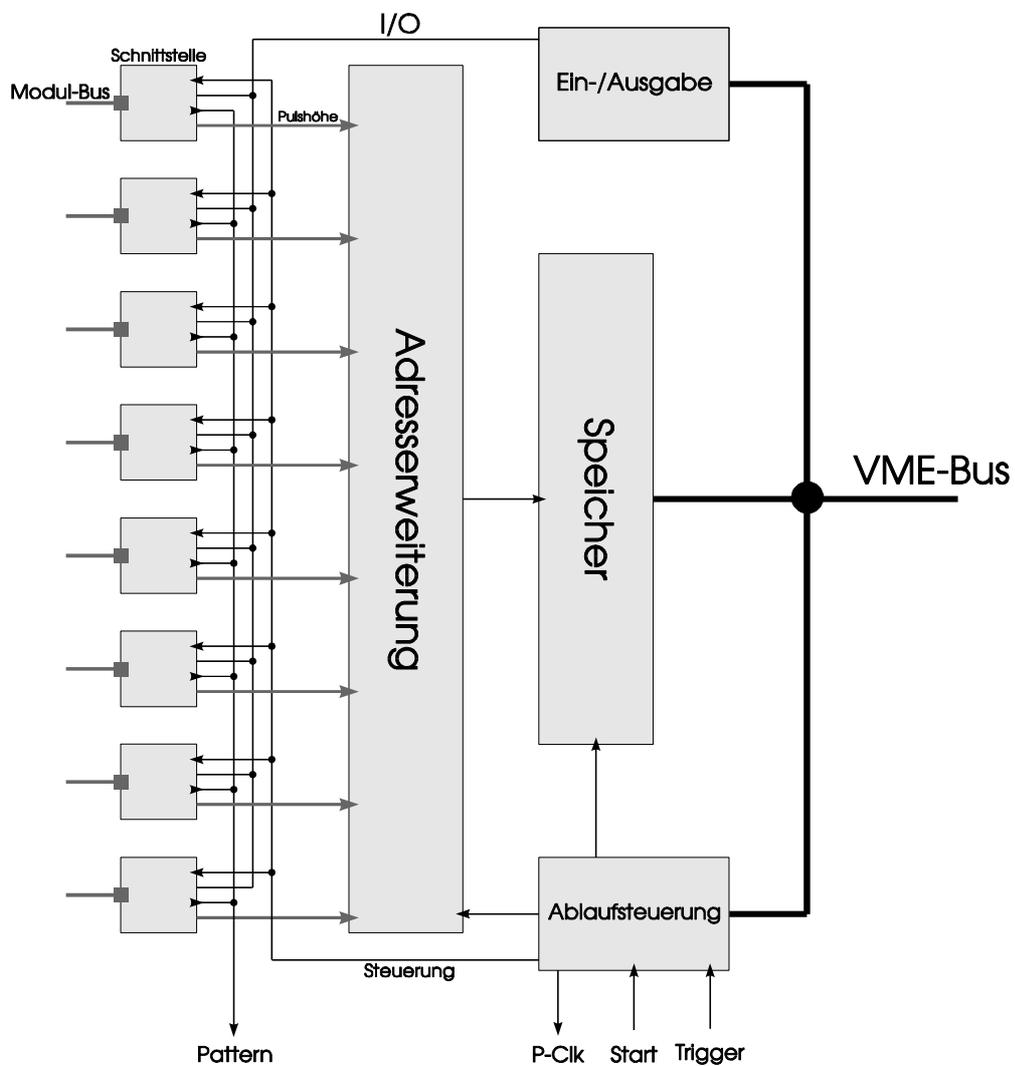


Abbildung 2.9 Aufbau des Daten-Konzentrators

Das so vervollständigte Datenwort aus Pulshöhe und Adressinformation wird mit Hilfe der Ablaufsteuerung in einem Speicher auf dem Datenkonzentrator abgelegt. Ausgelöst durch ein Startsignal werden mit diesem Ausleseprozess alle Daten aus den angeschlossenen Frontend-Modulen abgeholt, die zu einem Ereignis gehören. Über den VME-Bus Anschluß des Konzentrators kann das CPU-Modul direkt auf den Speicher des Konzentrators zugreifen und die gesammelten Daten weiterverarbeiten. Die Konfiguration des Datenkonzentrators und der Frontend-Module wird über einen ebenfalls am VME-Bus zugänglichen einfachen Ein-/Ausgabeblock abgewickelt.

### 2.3.3 Zentralmodul

Das Zentralmodul übernimmt die Triggerverteilung und Takterzeugung für ein Detektorsegment. Abbildung 2.10 zeigt den prinzipiellen Aufbau des Moduls, das ebenfalls als Einschub für ein VME-Bus System vorgesehen ist.

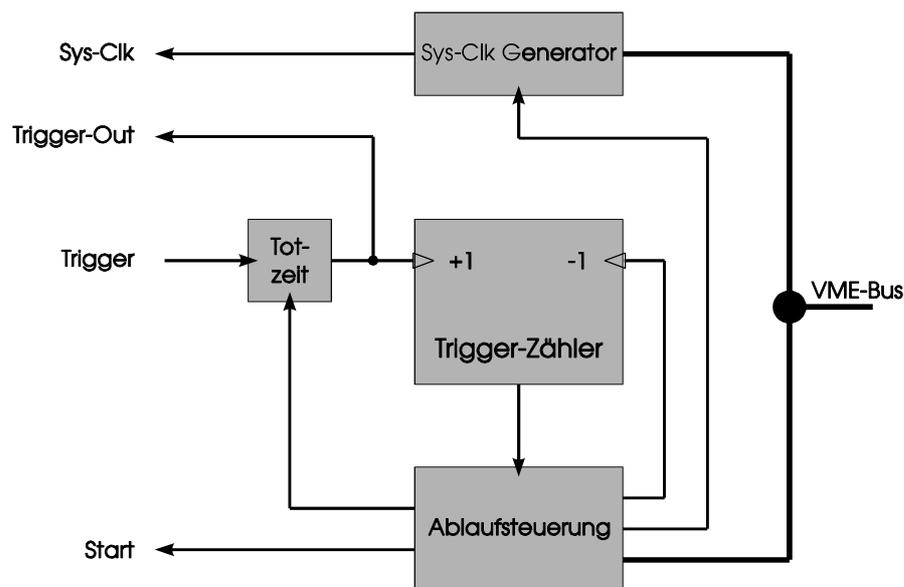


Abbildung 2.10 Aufbau des Zentralmoduls

Ein ankommender Triggerimpuls wird, sofern er nicht durch das Totzeit-Gate maskiert wird, dazu verwendet, den Trigger-Zähler zu inkrementieren. Erreicht der Trigger-Zähler einen Wert  $>1$ , so enthalten die Speicher der Frontend-Module sicher ein vollständig konvertiertes Ereignis, das zur Abholung bereitsteht. Die Ablaufsteuerung erzeugt daraufhin ein Startsignal für die Datenkonzentratoren, die das Abholen der Daten aus den Frontend-Modulen übernehmen. Nach dem Start des Auslesezyklus wird der Trigger-Zähler dekrementiert und das Zentralmodul geht wieder in Wartestellung. Sollte während eines laufenden Auslesezyklus bereits ein weiterer Triggerimpuls an die Frontend-Module gelangt sein, so enthält der Trigger-Zähler noch immer einen Wert  $>1$

und es beginnt sofort der nächste Auslesezyklus. Der Trigger-Zähler zeigt somit die Zahl noch auszulesender Ereignisse an, die größer als eins sein darf. Dieses Konzept ist der Fähigkeit der Frontend-Module, mehrere Ereignisse zu puffern, angepaßt.

Zusätzlich kann das Zentralmodul bei Bedarf in einem getrennten Zähler die Gesamtzahl der weitergegebenen Trigger-Impulse zählen, um die Zuordnung einzelner Ereignisse zu denen anderer Detektorsysteme zu gewährleisten.

### 2.3.4 Trigger-Prozessor

Zur Erkennung der gesuchten Ringmuster in Echtzeit enthält jede Datenaufnahmeeinheit eines Detektorsegments einen eigenen Trigger-Prozessor. Dieser Prozessor liefert bei erkanntem Ring d.h. Leptonensignal ein Startsignal. Werden mehr als zwei Ringe gefunden, die räumlich weit getrennt sind, so wird die Auslese des gesamten Detektorsystems des HADES-Spektrometers durchgeführt. Aufgrund der geforderten Ratenfestigkeit wird die Ringerkennung in festverdrahteter Bauweise (Hardware) realisiert. Der Triggerprozessor wird zur Zeit von einer Gruppe an der Universität Gießen entwickelt. Es kann hier daher nur das Grundkonzept der Ringerkennung zusammengefaßt werden. Der prinzipielle Aufbau des Trigger-Prozessors ist in Abbildung 2.11 gezeigt.

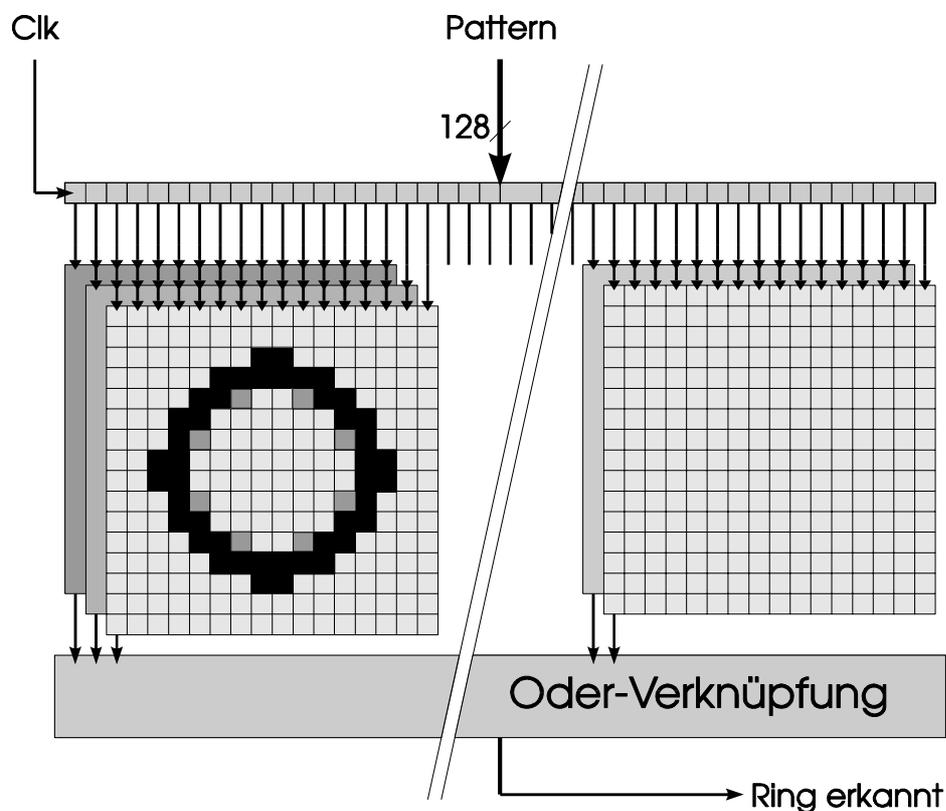


Abbildung 2.11 Aufbau des Trigger-Prozessors

Die Pattern-Information eines Detektorsegments wird nacheinander (insgesamt 128 mal) als 128-Bit breites Datenwort in den Trigger-Prozessor geschoben. Nachdem 16 Zeilen im Trigger-Prozessor angekommen sind, beginnen die Ringerkennungsmodule, die jeweils einen Bereich von 16x16 Pads bewerten, nach einem Ring zu suchen. Die Ringerkennungsmodule sind dem erwarteten Ringdurchmesser angepaßt und aufgrund ihrer parallelen Anordnung mit je einem Pad Versatz in der Lage, einen Bereich von 128-Bit Breite in einem Schritt zu bewerten. Die Bewertung des gesamten Detektorsegments geschieht durch Schieben der 128-Bit breiten Zeilen durch den Trigger-Prozessor und verläuft somit synchron mit der Auslese der Pattern-Information aus den Frontend-Modulen. Die "Ring erkannt"-Information steht damit kurz nach dem Ende der Pattern-Auslese zur Weiterverwendung zur Verfügung. [17]

### 3. Entwicklung eines Prototyps des Frontend-Moduls

Bei der Entwicklung neuer Konzepte ist es sinnvoll, diese an Versuchsschaltungen und anschließend an einem Prototyp zu testen. Die dabei gewonnenen Erkenntnisse erleichtern den Entwurf endgültiger Schaltungen, die in Serie gefertigt werden sollen. Häufig können so auch Fehler vermieden werden, die bei zu später Entdeckung Modifikationen an einer großen Zahl von Baugruppen notwendig machen, sofern der Fehler überhaupt noch durch eine Modifikation zufriedenstellend behoben oder umgangen werden kann.

#### 3.1 Aufgabenstellung für den Prototyp

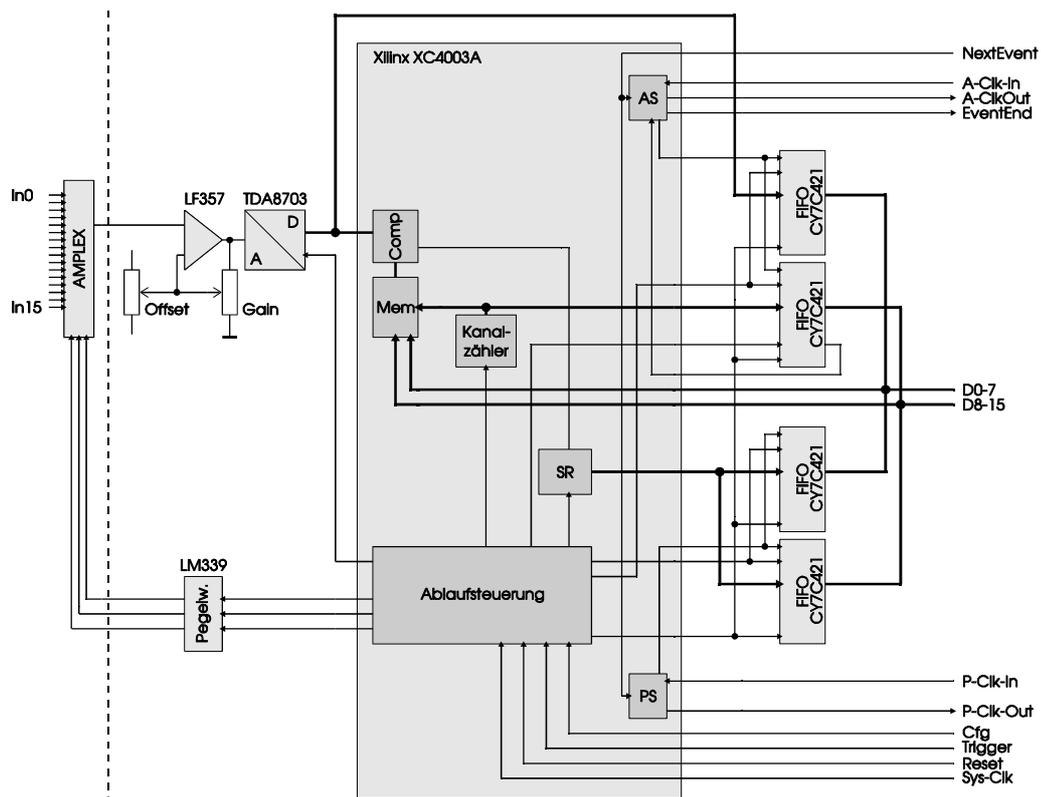
Die Anforderungen an einen ersten Prototyp, der im Rahmen einer Neuentwicklung hergestellt wird, entsprechen nicht zwingend genau denen, die an den endgültigen Aufbau gestellt werden. Oft gehen zusätzliche Randbedingungen in die Aufgabenstellung ein, um die Weiterentwicklung zu erleichtern. Für den Prototyp des Frontendmoduls waren dies die Folgenden:

- Der Prototyp soll das geplante Bus-Protokoll der endgültigen Frontend-Module verwenden, wobei die Zusammenfassung zu Modulketten möglich sein muß.
- Die Ausleserate, die im endgültigen Aufbau angestrebt wird, soll bereits mit dem Prototyp realisierbar sein, obwohl diese erst genutzt werden kann, wenn auch die Entwicklung des Daten-Konzentrators im Prototyp-Stadium ist.
- Die Datenkonvertierung an den Eingängen soll in einer Zeit  $t < 10\mu\text{s}$  möglich sein, um entsprechende Vorverstärker bei diesen Bedingungen zu testen.
- Das Bauteil, das die ladungsempfindlichen Verstärker, die Filterverstärker und die Track&Hold-Stufen enthält, soll nicht voll in die Baugruppe integriert werden, da derzeit eine Verbesserung der zur Zeit zur Verfügung stehenden integrierten Schaltkreise am CERN vorgenommen wird. Stattdessen sollen einer oder mehrere dieser Schaltkreise extern angesteuert werden, was die Verwendung bereits vorhandener Aufbauten erleichtert.
- Der Prototyp muß genügend Flexibilität für Versuche und Weiterentwicklungen aufweisen. Nach Möglichkeit sollen kleinere Änderungen ohne einen kompletten Neuaufbau des Prototyps machbar sein.

- Der Prototyp soll aus kommerziell verfügbaren Bauteilen aufgebaut werden, da diese vergleichsweise kostengünstig sind.

### 3.2 Aufbau des Prototyp-Frontend-Moduls

Vor dem Übergang von funktionsbeschreibenden Blockdiagrammen zu Schaltplänen einer Baugruppe müssen geeignete Bauteile ausgewählt und die benötigten Funktionen der Schaltung auf diese verteilt werden. Die Auswahlkriterien ergeben sich dabei aus den Anforderungen, die an die Baugruppe gestellt werden. Im Anschluß an Abbildung 3.1, welche die Bauteile und deren Zusammenschaltung zeigt, wird näher auf deren Eigenschaften eingegangen und ihre Auswahl begründet.



**Abbildung 3.1** Verteilung der Funktionsblöcke des Frontend-Moduls auf Bauteile

Als ladungsempfindlicher Vorverstärker für die 16 Eingangskanäle des Frontend-Moduls kommt der AMPLEX-Chip, der am CERN entwickelt wurde, zum Einsatz. Neben den Vorverstärkern enthält dieser bereits für jeden Kanal einen Shaper zur Signalformung, eine Track&Hold-Stufe und einen 16:1-Multiplexer. Die Verwendung einer integrierten Schaltung für 16 Eingangskanäle erlaubt einen sehr kompakten

Aufbau dieses Teils der Frontend-Elektronik. Die Anforderungen bezüglich der maximalen Konvertierungszeit können durch die möglich Umschaltfrequenz von 2MHz für 16 Kanäle entsprechend  $8\mu\text{s}$  trotz des Multiplexers eingehalten werden. Gleichzeitig führt die Integration des Multiplexers in den AMPLEX-Chip zu einer reduzierten Zahl von Signalleitungen, die zu dem nicht auf der Prototyp-Platine angeordneten Vorverstärker geführt werden müssen. Ebenfalls verfügbare Vorverstärker vom Typ CAMEX, die 64 Kanäle pro integriertem Schaltkreis aufweisen und bei dem Auslesesystem des CERES-RICH-Detektors verwendet wurden, sind aufgrund der sich mit der Kanalzahl erhöhenden Konvertierungszeit für ein Ereignis nicht einsetzbar. Zusätzlich benötigen diese Bausteine einen Pretrigger, der sie für ein kurz darauffolgendes Signal vorbereitet, worauf bei der AMPLEX-Auslese verzichtet werden kann. [8] [9]

Zur Ansteuerung des AMPLEX ist ein Pegelwandler erforderlich, da die verwendeten Steuersignale hinsichtlich ihrer Pegel nicht denen üblicher Standardlogik entsprechen. Zum Einsatz kommt ein Vierfachkomparator mit offenen Kollektor-Ausgängen vom Typ LM339, um sowohl die Schaltschwelle der Eingangssignale als auch den Pegel des Logisch-Eins-Signals für jede Leitung getrennt festlegen zu können. [10]

Bevor das Ausgangssignal des AMPLEX-Multiplexers dem Analog-Digitalwandler (ADC) zugeführt wird, wird es mit einem Operationsverstärker LF357 um einen einstellbaren Faktor zwischen 3 und 8 verstärkt und der Signalloffset abgeglichen, um den Dynamikbereich des ADC optimal zu nutzen. [11]

Die Umwandlung der verstärkten Pulshöhensignale in Digitalwerte übernimmt der 8-Bit Flash-ADC TDA8703, ein preiswerter Baustein, der durch seinen parallelen Aufbau bei Wandlungsraten bis 20MHz einsetzbar ist. Abweichend von den bei kommerziellen Video-Anwendungen üblichen A/D-Wandlern, die aufgrund internen Pipelinings erst nach zwei oder mehr Wandlungszyklen das erste Ergebnis am Digitalausgang zur Verfügung stellen, liefert der TDA8703 bereits nach dem Anlegen eines Wandlungsimpulses das aktuelle Ergebnis. Die Meßwertwandlung kann dadurch synchron mit der Weiterschaltung des AMPLEX-Multiplexers ablaufen und ist sofort nach Übernahme des Digitalwerts für den 16. Kanal abgeschlossen. [12]

Die umfangreiche, zur Steuerung des Frontend-Moduls notwendige Digitalelektronik wird, mit Ausnahme des Speichers, in einem programmierbaren Logikbaustein untergebracht. Bei dem ausgewählten Schaltkreis XC4003A der Firma Xilinx handelt es sich um ein "Field programmable Gate Array" (FPGA), das die funktionsbestimmenden Konfigurationsdaten in einem flüchtigen Speicher hält. Dies bedeutet, daß der Baustein beim Einschalten der Stromversorgung zunächst ohne Funktion ist und erst durch die Übertragung einer Konfigurationsdatei über eine bausteinspezifische Schnittstelle in Betrieb genommen wird. Mit Hilfe einer Entwicklungssoftware des FPGA-Herstellers lassen sich somit nahezu beliebige Logikfunktionen wie Zähler, Register, Komparatoren und Speicher zu einer Digitalschaltung verknüpfen und in eine Konfigurationsdatei für das FPGA umsetzen. Die Flüchtigkeit der FPGA-Konfiguration gestattet eine praktisch

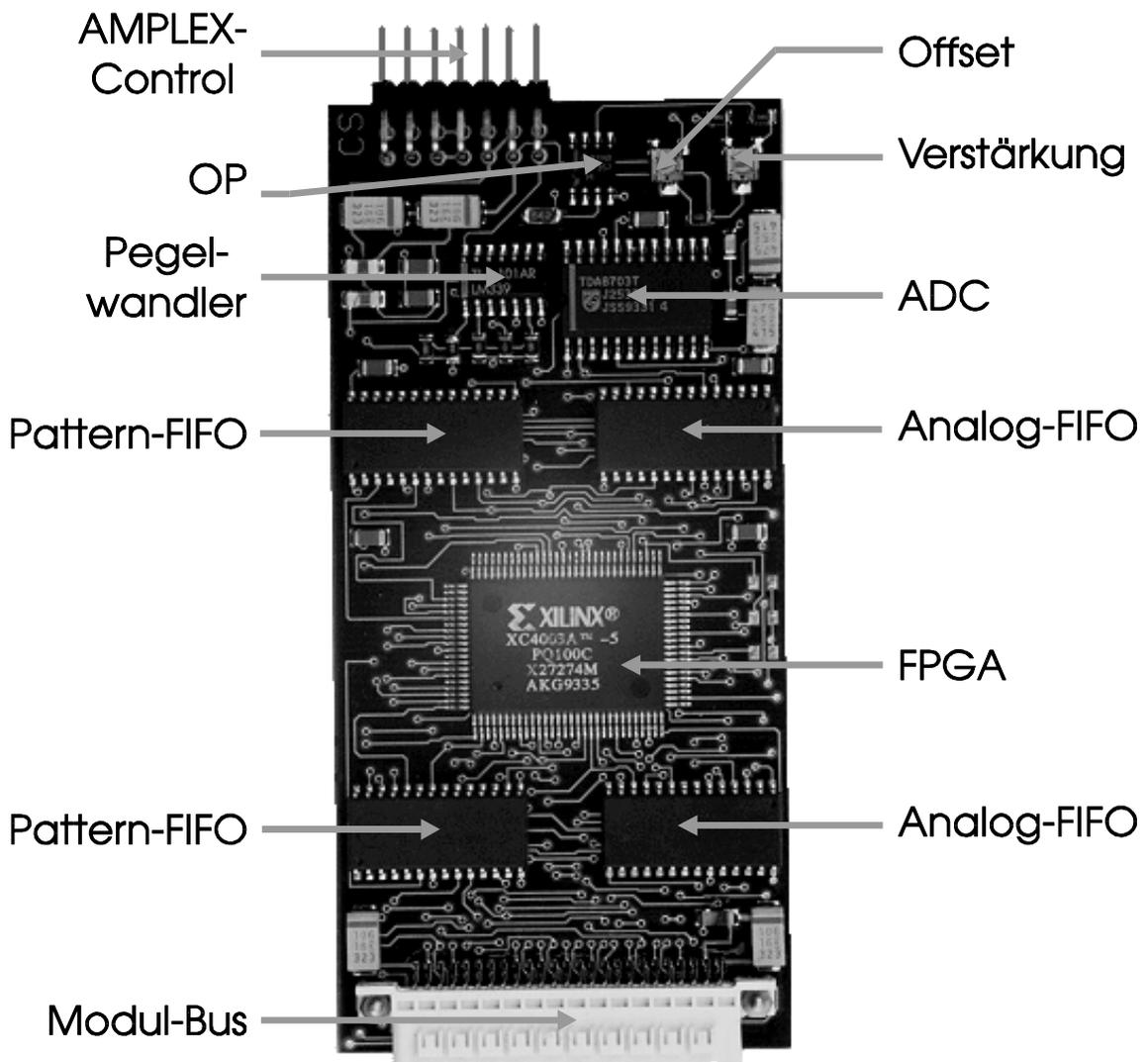
unbegrenzte Zahl von Neuprogrammierungen des Bauelements. Hiermit ist die für den Prototyp geforderte Flexibilität gegeben, da so das Verhalten der fertigen Baugruppe zu Testzwecken beliebig geändert werden kann. Nach der Konfiguration verhält sich die Schaltung aber wie festverdrahtete Logik, was auch die mögliche Taktrate der Xilinx-FPGA von bis zu 111MHz zeigt. Die vorgesehene Systemtaktfrequenz von 16MHz für die Ablaufsteuerung und die 32MHz entsprechenden Zugriffszeiten bei der Datenauslese bleiben problemlos innerhalb der vom Hersteller angegebenen Spezifikation. Der auf dem Frontend-Modul eingesetzte Baustein XC4003A erlaubt die Verwendung von 2500 bis 3000 Gatteräquivalenten und von bis zu 80 Ein-/Ausgängen. [13] Der Ausnutzungsgrad dieser Ressourcen liegt bei der 16-Kanal-Konfiguration des Frontend-Moduls bei ca. 70%, eine Erweiterung auf die Auslese von 64 Kanälen ist damit möglich und wurde für den Test des Frontend-Moduls bereits realisiert.

Die Speicherung der Pulshöheninformation, der Padadresse und des Patterns eines Ereignisses übernehmen die insgesamt vier auf dem Frontend-Modul vorhandenen FIFO-Bausteine CY7C421. Durch Parallelschaltung von jeweils zwei der 9-Bit breiten Speicherbausteine werden die nötigen Datenwortbreiten für die kombinierte Pulshöhen-/Padadresseninformation und das 16-Bit breite Pattern erreicht. Die Speichertiefe des CY7C421 beträgt 512 Datenworte. Wenn pro Ereignis 10% aller Pads ansprechen, ist die Speicherung von 170 Ereignissen auf dem Frontend-Modul möglich, bevor eine Auslese nötig wird. Im Gegensatz zu üblichen Speicherbausteinen besitzen FIFO-Speicher getrennte Anschlüsse zum Einschreiben und zum Auslesen der Daten. Diese Eigenschaft wird zur zeitlichen Entkopplung der Datenauslese von der Datenaufnahme genutzt, wobei durch das First-In-First-Out-Prinzip sichergestellt ist, daß zuerst eingeschriebene Daten auch zuerst am Ausgang der Speicherbausteine zur Auslese anstehen. [14]

Mit Ausnahme des AMPLEX-Chips, der über das CERN bezogen wurde, sind alle verwendeten Bauteile von namhaften Halbleiterherstellern zu bei Massenprodukten üblichen Preisen kommerziell verfügbar.

Alle Bausteine werden in ihren oberflächenmontierbaren Gehäuseausführungen (surface mounted device - SMD) eingesetzt, da die kleinere Bauform zu einer insgesamt kompakteren und deutlich flacheren Baugruppe führt. Bei der Herstellung größerer Stückzahlen des Frontend-Moduls wird durch die Verwendung von SMD-Bauteilen die automatisierte Bestückung der Platine vereinfacht.

Die Lage der Bauteile auf der als Vierfach-Multilayer ausgeführten Leiterplatte zeigt Abbildung 3.2, wobei in der Platinenmitte deutlich das FPGA im 100-poligen Gehäuse erkennbar ist.



**Abbildung 3.2** Prototyp des Frontend-Moduls

Die technischen Daten des Prototyp-Frontend-Moduls werden in der folgenden Aufstellung kurz zusammengefaßt. Eine genauere Vorstellung der nicht gebräuchlichen Bauteile AMPLEX und FPGA sowie eine Beschreibung der verschiedenen Betriebsarten wird in den nächsten Abschnitten gegeben, detaillierte Schaltpläne und ausführliche Timing-Diagramme befinden sich im Anhang.

Technische Daten des Prototyp-Frontend-Moduls	
Spannungsversorgung	+5V $\pm$ 0.25V (Digitalteil) +5V $\pm$ 0.25V (Analogteil) -5V $\pm$ 0.25V (Analogteil)
Stromaufnahme	ca. 47mA
Systemtaktfrequenz	16MHz
Konvertierungszeit	8 $\mu$ s für 16 Kanäle
Auslezugriffszeit	20ns (FIFO-Zugriffszeit)
Schnittstelle	paralleler 16-Bit Datenbus, daisy-chain Zugriffskontrolle
Abmessungen	96mm x 46mm

### 3.3 Funktionsweise des AMPLEX-Vorverstärkers

Der AMPLEX-Chip ist ein in 3 $\mu$ m-CMOS Technologie hergestellter Baustein zur Analogsignalverarbeitung. Er wurde ursprünglich für den Einsatz an Siliziumzählern entwickelt, kann aber auch an anderen Detektoren wie Vieldrahtproportionalkammern eingesetzt werden.

Er enthält 16 Eingangskanäle, die jeweils aus einem ladungsempfindlichen Vorverstärker, einem Filter (Shaper) zur Signalformung und einer Track&Hold-Stufe bestehen. Die Ausgänge der 16 Track&Hold-Stufen sind auf einen Multiplexer geführt, der durch digitale Eingänge gesteuert diese nacheinander an den Ausgang des AMPLEX legt. Abbildung 3.3 zeigt den prinzipiellen Aufbau des AMPLEX-Chips.

Der ladungsempfindliche Vorverstärker POTA weist einen als nichtlinearen Rückkopplungswiderstand geschalteten MOS-Transistor  $R_f$  auf, der bei variierendem Leckstrom des angeschlossenen Detektors die Baseline des Vorverstärkers automatisch stabilisiert und so eine Sättigung des Verstärkers vermeidet. Die folgende Shaper-Verstärkerstufe NOTA ist über  $C_{diff}$  kapazitiv an den Vorverstärker angekoppelt, wodurch das Signal von Gleichspannungsanteilen getrennt und differenziert wird. Der Spitzenwert des Signals wird am Ausgang des Shapers nach einer einstellbaren Zeit zwischen 600ns und 800ns erreicht. Zu diesem Zeitpunkt kann durch Anlegen eines Track&Hold-Signals der Spitzenwert in dem Haltekapazitor  $C_h$  gespeichert und durch einen Buffer-Verstärker an den aus den Schaltern SWM1 bis SWM16 bestehenden Multiplexer angelegt werden.

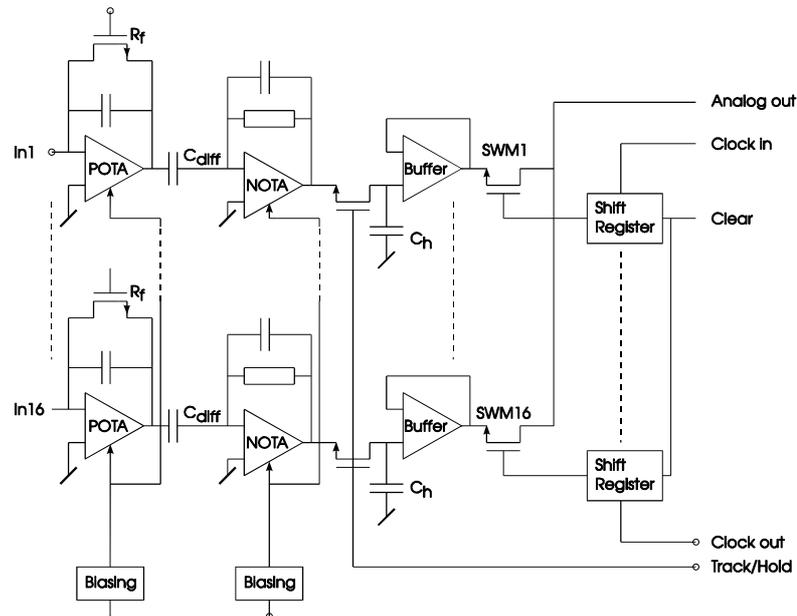


Abbildung 3.3 Aufbau des AMPLEX-Chips

Abbildung 3.4 zeigt den Signalverlauf am Ausgang des Shapers (b) beim Anlegen eines Rechtecksignals (a) an den Eingang des ladungsempfindlichen Vorverstärkers und den in der Track&Hold-Stufe gespeicherten Spannungspegel (c) bei Verwendung eines Track&Hold-Signals, das 700ns nach dem Eingangssprung angelegt wurde. Die Durchschaltung der gespeicherten Analogwerte an den gemeinsamen Ausgang erfordert

zunächst ein Rücksetzen des Ausgangsmultiplexers am Clear-Eingang und anschließend 16 Taktimpulse am Takteingang Clock-in des AMPLEX, um nacheinander die Transistoren SWM1 bis SWM16 zu öffnen. Alle folgenden Taktimpulse werden am Clock-out-Ausgang ausgegeben und können zur Hintereinanderschaltung mehrerer AMPLEX-Bausteine dienen. [15]

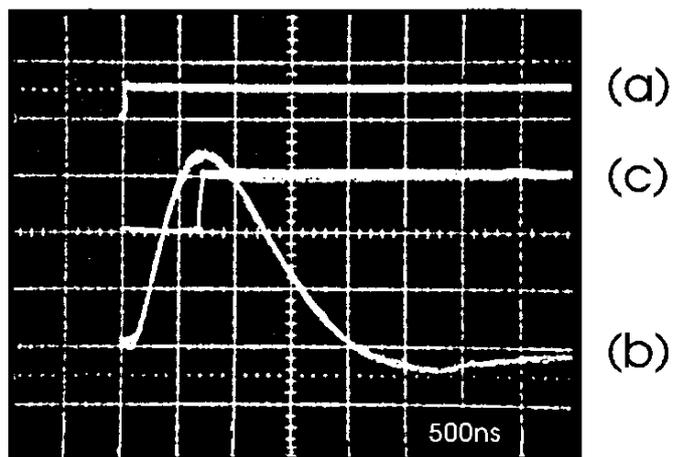


Abbildung 3.4 Signalverlauf im AMPLEX (a) Eingangssignal, (b) Signal am Shaper-Ausgang, (c) Ausgangssignal bei einem Hold-Signal 700ns nach dem Eingangssprung

### 3.4 Einführung in die Eigenschaften programmierbarer Logik

Noch vor wenigen Jahren wurden Digitalerschaltungen größtenteils aus integrierten Schaltkreisen zusammengesetzt, die einfache festgelegte Logikfunktionen enthielten. Der Wunsch, Schaltungen ohne umfassende Eingriffe in die Hardware modifizieren zu können, führte zur Entwicklung von sogenannten PAL-Bausteinen. Diese Bauelemente, deren Abkürzung für "Programmable Array Logic" steht, können vom Anwender unter Zuhilfenahme eines PAL-Assembler genannten Programms mit einfachen booleschen Gleichungen zur Verknüpfung ihrer Ein- und Ausgänge programmiert werden. Aufgrund ihrer geringen Komplexität muß die vorgesehene Funktion schon bei der Auswahl des Bauteils aus den ca. 40 verschiedenen Typen berücksichtigt werden, damit die gewünschte Logikfunktion implementiert werden kann.

Den nächsten Schritt in Richtung Flexibilität stellen die erstmals von der Firma Lattice hergestellten GAL-Bausteine (Generic Array Logic) dar. Sie enthalten neben einer Verknüpfungsmatrix für die Eingänge auch Ausgangsmakrozellen (Output Logic Macro Cells - OLMC), die durch Programmierung in ihren Eigenschaften so geändert werden können, daß mit zwei verschiedenen GALs nahezu alle gebräuchlichen PALs pin-kompatibel ersetzt werden können. Zusätzlich sind GAL-Bausteine rein elektrisch löschar und können somit mehrfach verwendet werden.

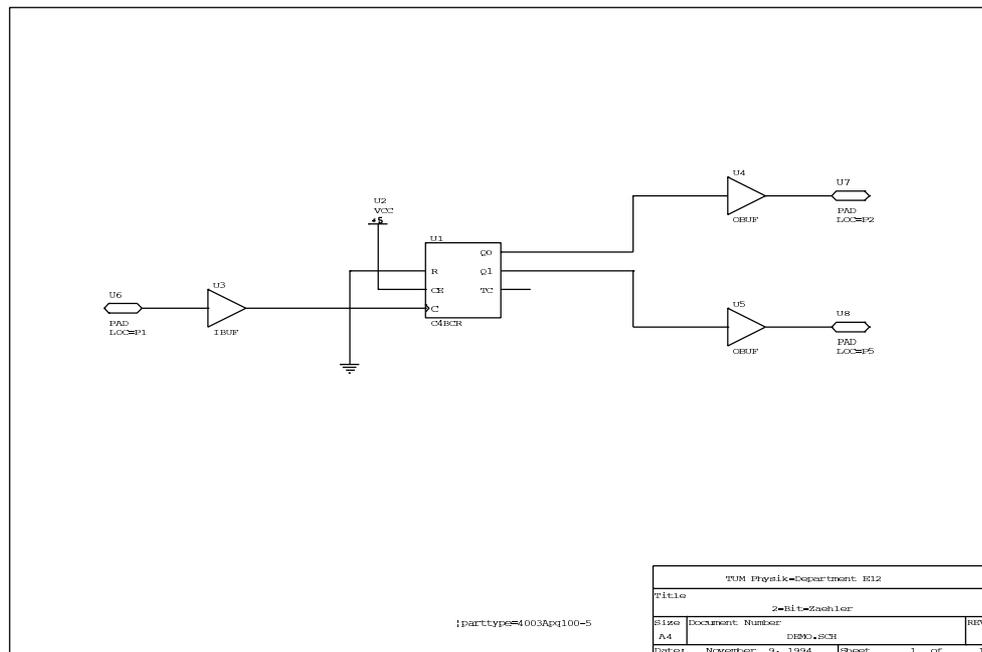
Für die steigenden Anforderungen, die hauptsächlich aus dem Bereich der Rechner-technik kamen, waren auch GAL-Bausteine mit ihren 8 bis 10 programmierbaren Ausgängen nicht ausreichend, zumal die Zunahme der Integrationsdichte bei integrierten Schaltkreisen die Zusammenfassung erheblich komplexerer Schaltungen ermöglichte. Unter Verzicht auf die Programmierbarkeit durch den Anwender wurden eine große Zahl von sogenannten Gate Arrays für spezielle Anwendungen entwickelt, die kostengünstig beispielsweise alle neben dem Mikroprozessor und dem Speicher nötigen Funktionen eines Personal Computers enthalten.

Die Weiterentwicklung der Gate Arrays unter Beibehaltung der Integrationsdichte und Komplexität führte wieder zu Bauteilen, die vom Anwender programmiert werden können, den "Field Programmable Gate Arrays" (FPGA).

Um die vielfältigen Möglichkeiten dieser Bauteile zu nutzen, kommen umfangreiche herstellereigentliche Entwicklungswerkzeuge zum Einsatz. Der prinzipielle Entwicklungsablauf einer FPGA-Schaltung wird im folgenden an einem einfachen Beispiel gezeigt, die genaue Beschreibung der im Frontend-Modul verwendeten Konfiguration kann den Schaltungsunterlagen im Anhang entnommen werden.

In dem Beispiel soll ein 2-Bit-Zähler in dem auch auf dem Frontend-Modul eingesetzten FPGA vom Typ XC4003A implementiert werden. Zunächst wird rechnergestützt ein Schaltplan des Zählers entworfen, wobei nur Symbole aus Bibliotheks-Dateien verwendet werden dürfen, die vom Hersteller des FPGA-Bausteins für diesen Typ erstellt wurden. Auf diese Weise wird sichergestellt, daß die im Schaltplan vorkommenden

Logikfunktionen von der FPGA-Entwicklungssoftware erkannt und richtig übersetzt werden. Im Fall des 2-Bit-Zählers, der in Abbildung 3.5 dargestellt ist, existiert in der Bibliothek bereits ein Symbol, das die nötigen Funktionen enthält.



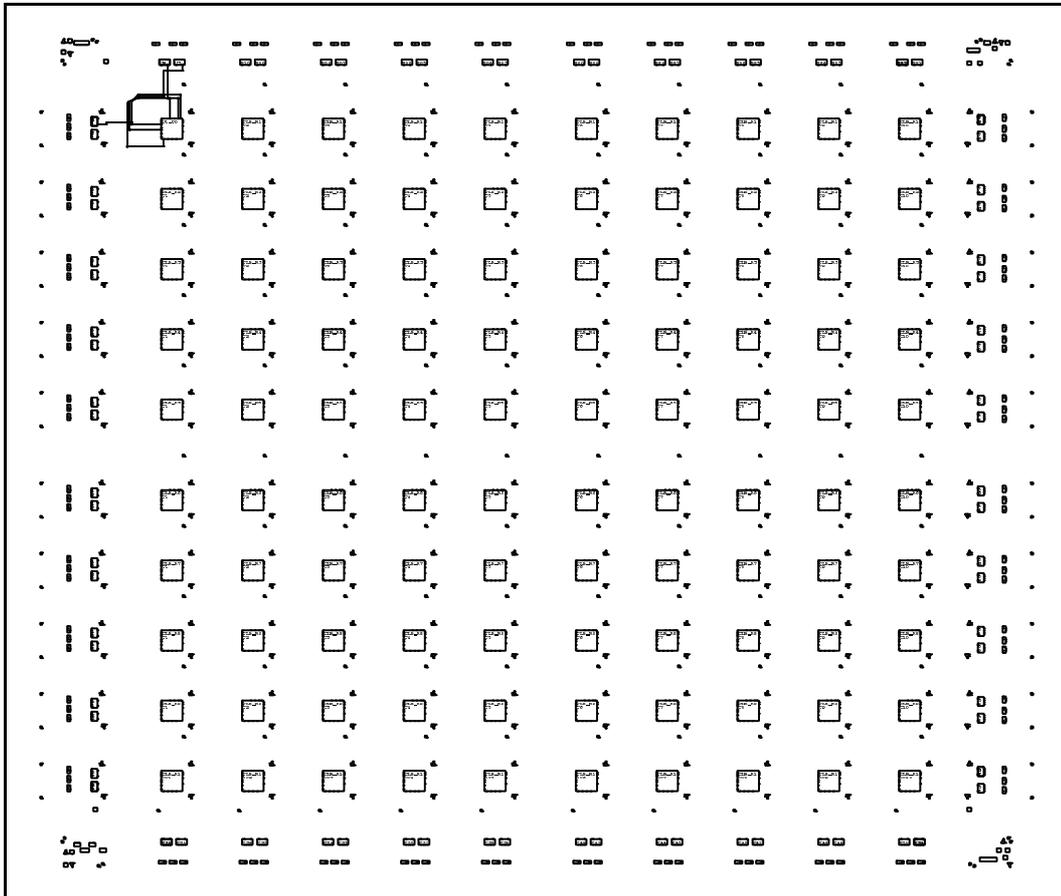
**Abbildung 3.5** Schaltplan des 2-Bit-Zählers

Neben dem eigentlichen Zähler U1 müssen in den Schaltplan noch Symbole aufgenommen werden, die eine Zuordnung der Anschlüsse des Zählers zu den am FPGA tatsächlich vorhandenen Gehäusepins festlegen. Dies geschieht mit den als "PAD" bezeichneten Symbolen, deren Datenrichtung von der Verwendung eines nachgeschalteten "IBUF" oder "OBUF" abhängt.

Der fertige Schaltplan wird durch die Entwicklungssoftware in eine Netzliste umgesetzt, die alle Bauteile und deren Verbindungen beschreibt. Anschließend versucht die Software die nötigen Logikfunktionen in dem FPGA zu verteilen, sie einzelnen Logikblöcken zuzuordnen und die Verbindungen herzustellen. Dieser "Partition, Place and Route" genannte Vorgang wird in einem iterativen Verfahren solange durchgeführt, bis alle Verbindungen hergestellt sind und sich durch Veränderungen keine Verbesserung der Signallaufzeiten mehr ergibt. Ist die Schaltung für das gewählte FPGA zu komplex, so bricht das Verfahren (nach langer Suche) mit einer Fehlermeldung ab.

In Abbildung 3.6 ist das Ergebnis des Übersetzungsvorgangs für den 2-Bit-Zähler dargestellt. Zu seiner Realisierung ist lediglich einer der in einer 10x10-Matrix angeordneten 100 Logikblöcke (Configurable Logic Block - CLB) des XC4003A-Bausteins erforderlich, die restlichen CLBs bleiben ungenutzt. In einem CLB befinden sich elementare Logikfunktionen wie Gatter, Register und Multiplexer, deren Zusammenwirken konfigurierbar ist. Die Verbindung des CLBs zu den außen angeordneten Ein-

/Ausgabeblocken (Input Output Block - IOB) wird durch Verschaltung der zwischen den CLBs und IOBs auf dem Baustein vorverlegten Leitungen (Routing Resources) hergestellt.



**Abbildung 3.6** Aufteilung des 2-Bit-Zählers in einem FPGA-Baustein. In der Mitte der Abbildung ist die Matrix aus 10x10 CLBs, an den Rändern sind insgesamt 80 IOBs angeordnet. Die für den 2-Bit-Zähler notwendigen Verbindungen sind links oben erkennbar.

Bei dem hier dargestellten XC4003A der Firma Xilinx handelt es sich noch um einen der einfacheren Bausteine der Serie 4000. Das derzeit komplexeste FPGA dieses Herstellers, der XC4025, stellt dem Anwender in einer 32x32-Matrix insgesamt 1024 CLBs und 256 IOBs entsprechend 25000 Gatteräquivalenten zur Verfügung. Damit ist es möglich, auch umfangreichste Schaltungen kompakt in einem Baustein zu realisieren und bei Bedarf jederzeit durch einfache Änderung einer Konfigurationsdatei an die aktuellen Anforderungen anzupassen.

### 3.5 Betriebsarten des Frontend-Moduls

Das Frontend-Modul kann in verschiedene Betriebsarten genommen werden, die für die Inbetriebnahme des Moduls, die Datenaufnahme und die Auslese der Daten aus dem Modul vorgesehen sind. Gekennzeichnet sind die Betriebsarten durch abweichende Steuersequenzen am digitalen Bus des Frontend-Moduls. In den folgenden Abschnitten werden diese Steuersequenzen vorgestellt.

#### 3.5.1 FPGA-Konfiguration

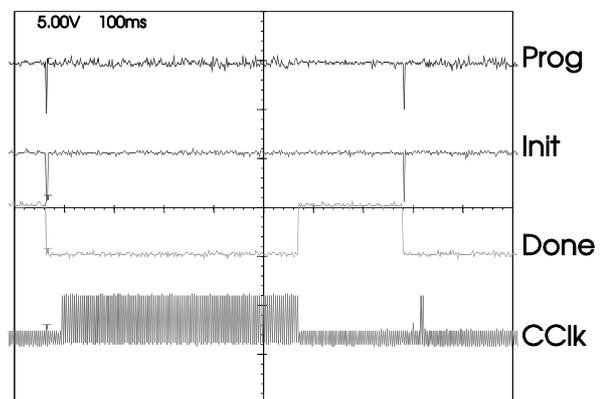
Nach dem Anlegen der Betriebsspannung an das Frontend-Modul muß zunächst die gewünschte Konfiguration des FPGA in dessen flüchtigen Speicher geladen werden. Nach diesem Ladevorgang nimmt das FPGA sofort den Betrieb auf und verhält sich in der Schaltung entsprechend der übertragenen Konfiguration.

Die Übertragung der ca. 45KBit langen Konfigurationsinformation erfolgt über eine serielle Schnittstelle, an der auch mehrere gleichartig zu konfigurierende FPGAs parallel betrieben werden können. Von dieser Möglichkeit wird auch bei den in Ketten angeordneten Frontend-Modulen Gebrauch gemacht, wobei durch Kontrollsignale sichergestellt wird, daß alle FPGAs der Kette die Konfiguration erhalten und korrekt den Betrieb aufgenommen haben.

Abbildung 3.7 zeigt das Verhalten einiger zur Konfiguration nötiger Signale bei fehlerfreiem Ablauf.

Eingeleitet wird die Konfiguration durch einen Low-Pegel der Prog-Leitung, der extern an alle FPGAs angelegt wird. Das FPGA beginnt unverzüglich mit der Initialisierung des internen Konfigurationsspeichers und hält während dieses Vorgangs die Init-Leitung auf Low-Pegel. Zusätzlich wird die Done-Leitung Low, um anzuzeigen, daß das FPGA derzeit nicht

vollständig konfiguriert ist. Nach Abschluß der internen Initialisierung wechselt der Pegel an der Init-Leitung auf High und die Übertragung der Daten kann beginnen. Diese werden nun bitseriell an einen Dateneingang des FPGAs angelegt und ihre Übernahme durch einen Impuls an der CClk-Leitung veranlaßt. Sind alle Daten korrekt übertragen worden und die im FPGA berechneten Prüfsummen fehlerfrei, so bleibt die Init-Leitung High und die Done-Leitung wird ebenfalls High. Im Fehlerfall wird dem steuernden Rechner durch einen Wechsel der Init-Leitung auf Low und einen fehlenden



**Abbildung 3.7** Konfigurationsablauf bei serieller Übertragung an ein Xilinx-FPGA (Oszilloskop-Bild, 5V/div, 100ms/div, 1µs full range)

Done-Pegel dieser zurückgemeldet.

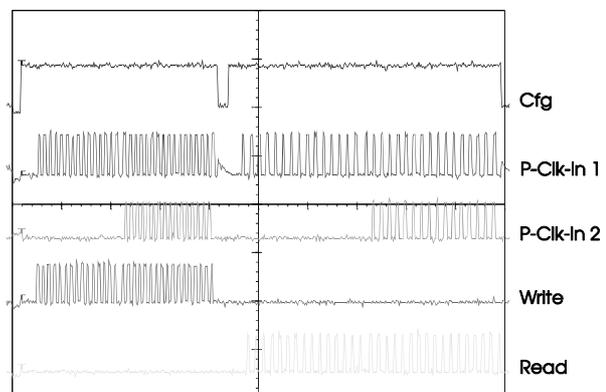
Die Konfiguration eines XC4003A-FPGAs ist, wie Bild 3.7 zeigt, nach 500ms abgeschlossen.

### 3.5.2 Programmieren der Schwellenwerte

Da das Frontend-Modul neben der Datenaufnahme auch die Datenreduktion durchführt, müssen Schwellenwerte für die einzelnen Kanäle in das Modul geladen werden, bei deren Überschreitung die Pulshöhe des Kanals erst gespeichert wird.

Das Schreiben der Schwellenwerte und das Rücklesen der einzelnen Werte erfolgt in einem speziellen Betriebsmodus des Moduls, der den zur Auslese benutzten Datenbus als bidirektionale Schnittstelle zur Ansteuerung einzelner Module in einer Kette verwendet. Neben der Konfiguration der Schwellenwerte kann diese Betriebsart auch zu Diagnosezwecken eingesetzt werden. Um das Konzept der flexiblen Kettenlänge auch in dieser Betriebsart durchzuhalten, kommt auch hier eine Ansteuerung der Module nach dem Daisy-Chain-Prinzip zum Einsatz, wobei die P-Clk-Taktleitung, die bei der Datenauslese zur Abholung des Pattern dient, als Kontrollsignal für die Adressierung der Schwellenspeicher im Frontend-Modul benutzt wird. Abbildung 3.8 zeigt die Impulsfolge, die sich beim Schreiben mit anschließendem Rücklesen der Schwellendaten in zwei hintereinandergeschaltete Frontend-Module ergibt.

Durch einen High-Pegel an der Cfg-Leitung wird das Frontend-Modul in den Konfigurationsmodus genommen. Anschließend wird durch einen Impuls am P-Clk-Eingang (P-Clk-In 1) des ersten Moduls in der Kette die Adresse des modulinternen Adresszählers auf die Speicheradresse 1 gezählt. Nachdem der Schwellenwert für den Kanal 1 im Modul 1 an die Datenleitungen D0-D7 angelegt ist, kann ein Schreibimpuls auf die als Write-Leitung genutzten Datenleitung D15 gegeben werden. Diese Pulsfolge wiederholt sich für alle in der Modulkette vorhandenen Kanäle, wobei, wie in Abbildung 3.8 gezeigt, die ersten 16 P-Clk-Impulse von Modul 1 genutzt und nicht an Modul 2 weitergeben werden. Ab dem 17. P-Clk-Impuls gibt Modul 1, das dann für alle Kanäle einen Wert erhalten hat, die Impulsfolge an den P-Clk-Eingang des Moduls 2 (P-Clk-In 2) weiter, das dann wiederum 16 Schwellenwerte speichert. Ein ähnlicher Vorgang vollzieht sich bei dem rechts in Abbildung 3.8 dargestellten Rücklesen der Schwellen-



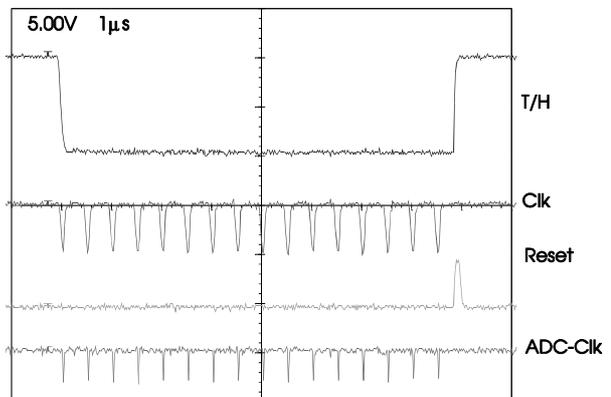
**Abbildung 3.8** Steuersequenz für das Schreiben und Rücklesen von Schwellendaten in zwei hintereinandergeschaltete Frontend-Module (Oszilloskop-Bild, willkürliche Einheiten)

werte aus den Modulen. Statt der Write-Leitung wird nun die als Read-Leitung verwendete Datenleitung D14 mit Impulsen angesteuert. Jeweils beim High-Pegel der Read-Leitung gibt nun das angesteuerte Modul den adressierten Schwellenwert auf den Datenbus und der steuernde Rechner kann die gespeicherten Schwellenwerte prüfen.

### 3.5.3 Datenaufnahme

Ein Datenaufnahmezyklus wird durch einen am Frontend-Modul ankommenden Triggerimpuls ausgelöst. Sobald ein Triggerimpuls eintrifft, wird asynchron, d.h. unabhängig vom Systemtakt des Frontend-Moduls die Track/Hold-Leitung des AMPLEX vom Track-Zustand (+5V) in den Hold-Zustand (-5V) versetzt.

Die Anpassung an die vom Shaper zur Signalformung benötigte Zeit kann somit durch externe Verzögerung des zentralen Triggers vorgenommen werden. Bei der nächsten steigenden Flanke des Systemtakts beginnt das Frontend-Modul, Clk-Impulse an den AMPLEX und anschließend an den ADC zu geben, um nacheinander die 16 Kanäle des AMPLEX in Digitalwerte umzusetzen. Jeder Wert wird nach der Umsetzung mit der kanalspezifischen Schwelle verglichen und bei Über-



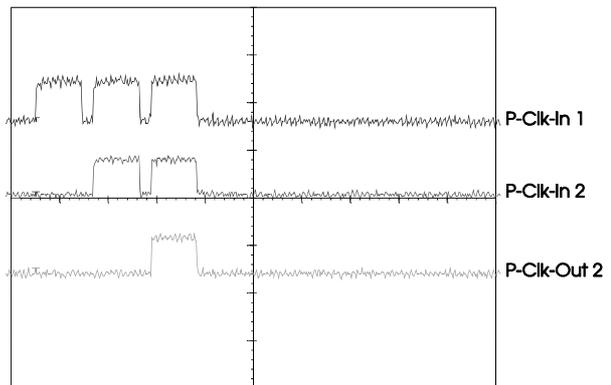
**Abbildung 3.9** Impulsfolge zur Datenaufnahme mit dem AMPLEX-Chip (Oszilloskop-Bild, 5V/div, 1µs/div, 10µs full range)

schreitung derselben in den Speicher des Frontend-Moduls geschrieben. Zum Abschluß des Datenaufnahmezyklus wird der AMPLEX wieder in den Track-Zustand geschaltet und folgt wieder dem Eingangssignal. Zusätzlich erhält der Digitalteil des AMPLEX einen Reset-Impuls, der diesen bereits wieder auf den nächsten Zyklus vorbereitet. Wie das Oszillogramm in Abbildung 3.9 zeigt, ist der beschriebene Zyklus unabhängig von der Zahl angesprochener Eingänge innerhalb von 8µs abgeschlossen.

### 3.5.4 Datenauslese

Die Datenauslese erfolgt unabhängig von der Datenaufnahme an der digitalen Bus-Schnittstelle des Frontend-Moduls, die einen direkten Zugang zu den FIFO-Speichern des Moduls herstellt. Die Abholung der Pattern-Information ist nicht zwingend mit der Abholung der Pulshöhenwerte verbunden, da für die jeweiligen Speicher getrennte Daisy-Chain-Taktleitungen (P-Clk und A-Clk) vorhanden sind.

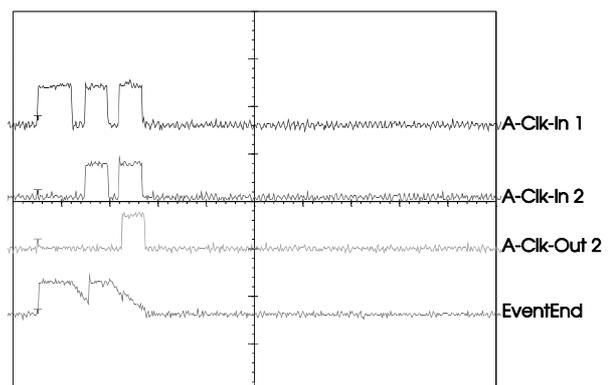
In Abbildung 3.10 wird der Ablauf der Pattern-Auslese bei zwei hintereinandergeschalteten Frontend-Modulen dargestellt, der aufgrund der festen Länge des Patterns von 16-Bit sehr einfach ist. Das Frontend-Modul 1 erhält an seinem P-Clk-Eingang (P-Clk-In 1) einen Impuls und legt, solange dieser High ist, die als nächste auszulesende Patterninformation an den 16-Bit breiten Datenbus. Der nächste ankommende P-Clk-Impuls wird vom Modul 1 ignoriert und an



**Abbildung 3.10** Impulsfolge zur Pattern-Auslese bei zwei verketteten Frontend-Modulen (Oszilloskop-Bild, willkürliche Einheiten)

den Eingang des Moduls 2 (P-Clk-In 2) weitergeleitet, das sich beim dritten P-Clk-Impuls wiederum wie Modul 1 verhält. Der Ausgang des letzten Moduls (hier P-Clk-Out 2) wird auf einer Leitung des Modul-Busses an den Steuerrechner zurückgeführt, der durch einen Impuls auf dieser Leitung das Ende der Modulkette erkennen kann. Die Auslese der Pulshöheninformation gestaltet sich komplizierter, da nicht bekannt ist, wieviele Kanäle in jedem Frontend-Modul bei dem auszulesenden Ereignis angesprochen haben. Das Modul muß also jeweils das Ende eines Ereignisses signalisieren, bevor es die Kontrolle an das nächste Modul weitergibt. Abbildung 3.11 zeigt die Impulssequenz für eine aus zwei Modulen bestehende Kette, die für das auszulesende Ereignis jeweils keine Pulshöheninformation gespeichert haben.

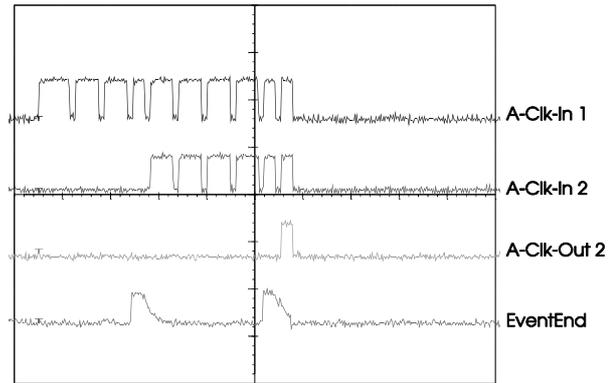
Das Frontend-Modul 1 erhält an seinem A-Clk-Eingang (A-Clk-In 1) einen Impuls, den es nicht weitergibt, aber sofort mit einem EventEnd-Signal am gleichnamigen Ausgang quittiert. Der steuernde Rechner erhält so die Information, daß Modul 1 keine zum auszulesenden Ereignis gehörenden Daten mehr gespeichert hat und die Kontrolle an Modul 2 übergeben wird. Der nächste A-Clk-Impuls gelangt an den Eingang von Modul 2 (A-Clk-In 2) und wird ebenfalls sofort mit einem EventEnd-Signal quittiert.



**Abbildung 3.11** Impulsfolge zur Pulshöhenauslese bei zwei verketteten Frontend-Modulen, die keine Information gespeichert haben (Oszilloskop-Bild, willkürliche Einheiten)

Da nur zwei Module verkettet wurden, wird der dritte A-Clk-Impuls vom Ausgang von Modul 2 (A-Clk-Out 2) an den steuernden Rechner zurückgeführt, der so das Ende eines Pulshöhenauslesezyklus erkennt.

Haben einzelne Frontend-Module Pulshöhenwerte zu einem Ereignis gespeichert, so ergibt sich die in Abbildung 3.12 dargestellte Impulsfolge. Modul 1, das drei angesprochene Kanäle abgespeichert hat, legt jeweils beim High-Pegel der ersten drei A-Clk-Impulse die kombinierte Pulshöhen- und Kanaladressinformation der zugehörigen Kanäle an den Datenbus und quittiert erst den vierten A-Clk-Impuls mit einem Event-End-Signal. Der fünfte und alle weiteren A-Clk-Impulse werden an Modul 2 weitergeleitet, das vier Werte liefert, bevor es das Ende des Ereignisses signalisiert. Ein dann folgender A-Clk-Impuls wird, wie bereits beschrieben, an den Steuerrechner zurückgeführt.



**Abbildung 3.12** Impulsfolge zur Pulshöhenauslese bei zwei verketteten Frontend-Modulen, die beide Pulshöhen mehrerer Kanäle gespeichert haben (Oszilloskop-Bild, willkürliche Einheiten)

Ausgehend von diesem Ablauf läßt sich eine Abschätzung der Dauer des Auslesezyklus für ein Ereignis durchführen.

$$t_{readout} = t_{pattern} + t_{analog} \quad (1)$$

Mit der Zykluszeit  $t_{sys}$  des auslesenden Datenkonzentrators, der Gesamtzahl der Pad-Zeilen  $N_z$ , der Länge der Frontend-Modulketten  $L_k$  und der mittleren Zahl angesprochener Kanäle pro Frontend-Modul  $n$  ergibt sich für  $t_{readout}$

$$t_{readout} = N_z \cdot t_{sys} + L_k \cdot (1+n) \cdot 8 \cdot t_{sys} \quad (2)$$

Hierbei ist bereits das unabhängig von der Zahl angesprochener Kanäle immer vorhandene EventEnd-Signal und der Multiplex-Betrieb von 8 Schnittstellen am Datenkonzentrator berücksichtigt. Bei einem Betrieb des Datenkonzentrators mit 40MHz Taktfrequenz, 8 Modulen pro Kette, einer mittleren Ansprechwahrscheinlichkeit für einen Kanal von 10% und 128 auszulesenden Zeilen errechnet man die folgenden Auslesezeiten, wobei die in Gleichung (3) angegebene minimale Auslesezeit für den Fall gilt, in dem keine Pads angesprochen haben.

$$t_{readout_{min}} = N_z \cdot t_{sys} + L_k \cdot 8 \cdot t_{sys} = 3.2 \mu s + 1.6 \mu s = 4.8 \mu s \quad (3)$$

Die mittlere Auslesezeit ergibt sich zu

$$\overline{t_{readout}} = N_Z \cdot t_{sys} + L_K \cdot (1+1.6) \cdot 8 \cdot t_{sys} = 3.2 \mu s + 4.16 \mu s = 7.36 \mu s \quad (4)$$

Die in Gleichung (5) angegebene maximale Auslesezeit wird für den Fall benötigt, in dem alle Pads, die an einer Kette von Frontend-Modulen angeschlossen sind, angesprochen haben.

$$t_{readout_{max}} = N_Z \cdot t_{sys} + L_K \cdot (1+16) \cdot 8 \cdot t_{sys} = 3.2 \mu s + 27.2 \mu s = 30.4 \mu s \quad (5)$$

Die mittlere Auslesezeit liegt mit  $7.36 \mu s$  noch unter der Zeit der eigentlichen Datenaufnahme, die  $8 \mu s$  pro Ereignis benötigt. Nach  $3.2 \mu s$  ist die gesamte Pattern-Information eines Ereignisses an den Trigger-Prozessor weitergegeben. Die an das Gesamtsystem gestellte Anforderung, ein Ereignis in weniger als  $10 \mu s$  entsprechend einer Rate von  $10^5 s^{-1}$  zu bewerten, kann somit für jedes einzelne der sechs Detektorelemente erreicht werden. Ein Wegschreiben der Daten auf Band erfolgt jedoch nur dann, wenn der Trigger-Prozessor die Gesamtauslese freigibt und andere Trigger vorliegen.

## 4. Erste Versuche mit dem Frontend-Modul

Um die Funktionsfähigkeit des Frontend-Moduls in der Praxis zu testen und Erfahrungen für dessen Weiterentwicklung zu gewinnen, wurden einige Prototypen des Moduls während eines Experiments am Münchner Tandem-Beschleuniger einem ersten Test unterzogen. Der Datenkonzentrator, der für die automatisierte Auslese notwendig ist, befindet sich noch in der Entwicklung und konnte noch nicht getestet werden. Gleiches gilt für das VME-Bus-System. Als Ersatz bot sich die Anpassung der Frontend-Modul-Schnittstelle an einen PC an. Als Detektoren wurden vorhandene Silizium-Streifenzähler verwendet, zumal der AMPLEX-Chip ursprünglich für derartige Zähler konzipiert wurde. [15] Nachgewiesen werden sollten geladene Teilchen aus schwerioneninduzierten Streureaktionen.

### 4.1 Versuchsaufbau

Die verwendete Versuchsanordnung bestand aus einem Teleskop aus Silizium-Streifenzählern. Diese, von der Firma MICRON Semiconductors gelieferten Zähler enthalten auf 60mm Breite 96 parallele Streifen von 20mm Länge, die paarweise an Anschlußkontakte gebondet sind. Es stehen damit pro Zähler 48 Kanäle zur Doppelstreifenauslese zur Verfügung, so daß die Ortsauflösung des Zählers in einer Dimension 1.2mm beträgt.

Um eine Fläche von 40mm x 40mm zweidimensional ortsauflösend abzudecken, müssen, wie Abbildung 4.1 zeigt, insgesamt vier Zähler verwendet werden. Zwei vorne angeordnete Zähler mit je 140µm Dicke liefern eine Information über die Y-Koordinate des Teilchens. Die dahinter angeordneten 500µm dicken Zähler geben Aufschluß über die X-Koordinate, sofern das Teilchen den vorderen Detektor durchquert hatte.

Die Zähler wurden zusammen mit vorhandenen Vierfach-AMPLEX-Platinen in eine Halterung montiert, die beim Einbau die empfindlichen Zähler schützt und eine einfache Justage der einzelnen Streifen-

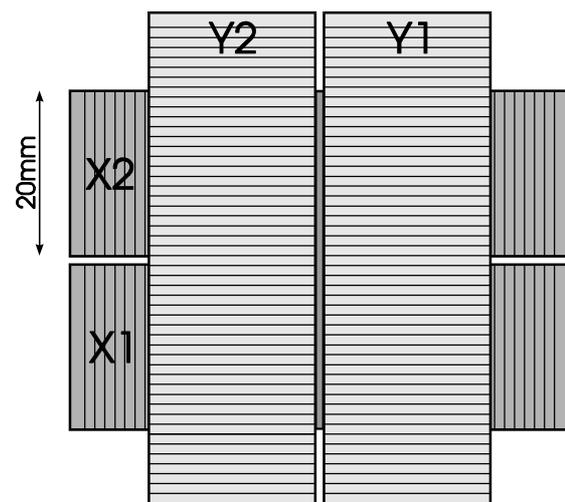


Abbildung 4.1 Anordnung der Streifen-zähler

zähler erlaubt. Die direkte Montage der Vorverstärker hinter den Zählern ist günstig,

da die Leitungen von den einzelnen Streifen zu den Eingängen der AMPLEX-Chips kurz und so parasitäre Kapazitäten minimal gehalten werden können. Abbildung 4.2 zeigt die Anordnung der Zähler und der AMPLEX-Platinen in der Haltekonstruktion.

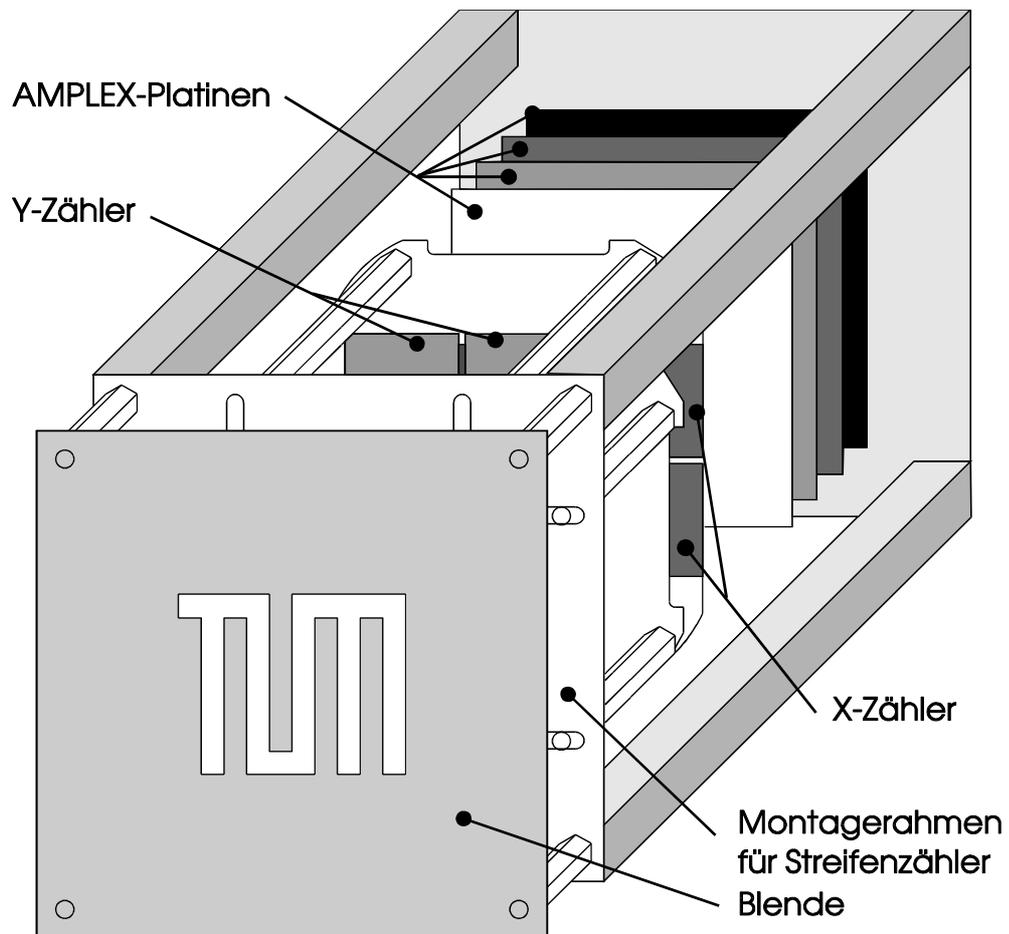
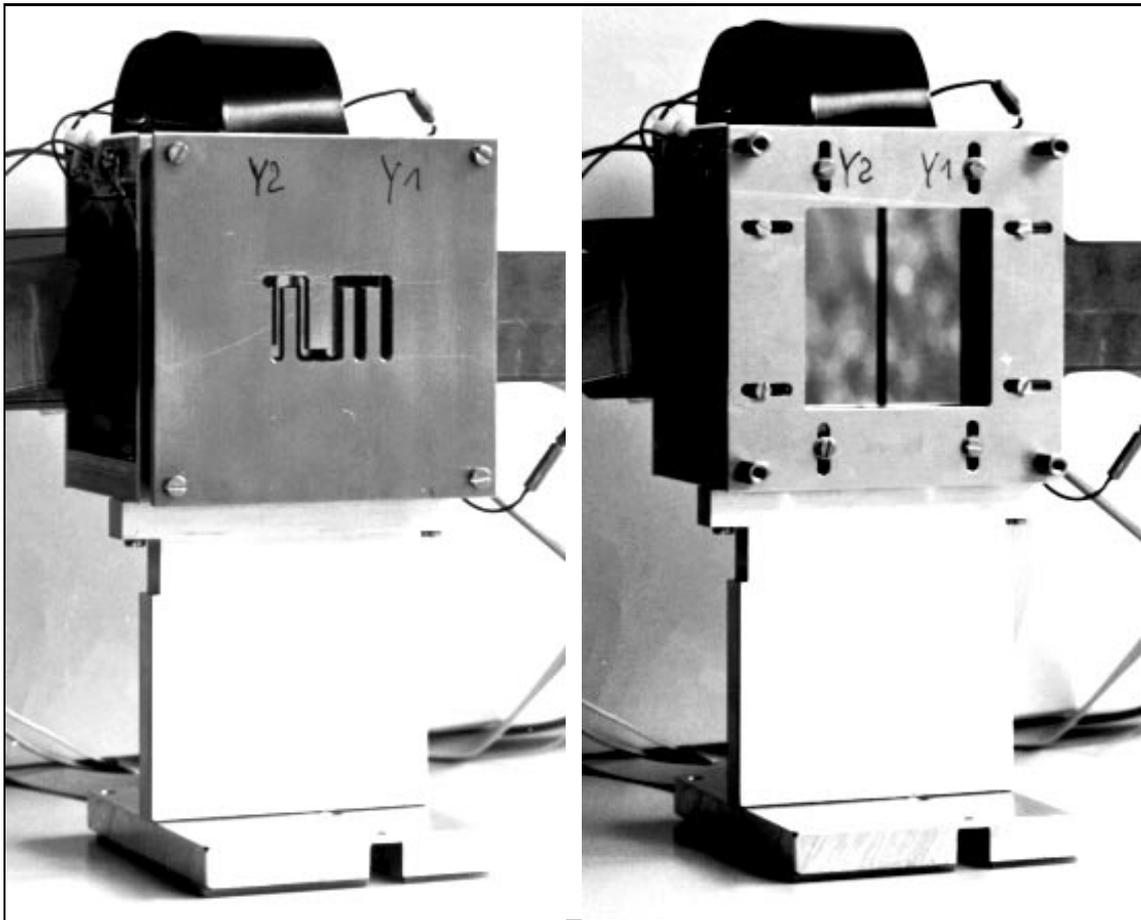


Abbildung 4.2 Aufbau des zweidimensional ortsauflösenden Detektorsystems

Um bei der späteren Auswertung der Daten, die zur Überprüfung der Frontend-Elektronik dienen sollten, ein leicht zu erkennendes Muster zu erhalten, wurde eine Blende aus 3mm starkem Edelstahl (V2A) hergestellt. Das TUM-Logo, das in der Blendenmitte auf einen Bereich von 40mm x 40mm beschränkt ist, kann auch bei einer Auflösung der Streifen-zähler von 1.2mm noch gut erkannt werden. Die durch die Blende abgeschatteten Bereiche der Zähler sollten nicht von gestreuten Teilchen getroffen werden, da bei den erwarteten Energien eine vollständige Abbremsung in der Blende erfolgt. Das Photo in Abbildung 4.3 zeigt neben dem Detektor auch den für die Montage in der Streukammer nötigen Fuß, um die Detektormitte an die Lage der Strahlachse anzupassen.



**Abbildung 4.3** Komplett montiertes Detektorsystem mit Fuß

Das Auslesesystem für die vier eingesetzten AMPLEX-Platinen besteht aus vier Frontend-Modulen, die durch eine modifizierte Konfiguration des FPGA statt 16 Kanälen je 64 Kanäle behandeln können. Die Ansteuerung der AMPLEX-Platinen erfolgt analog zu der Ansteuerung eines einzelnen AMPLEX-Chips, da die Bausteine auf der Platine in Serie geschaltet sind. Genutzt werden jeweils nur die ersten 48 Kanäle einer Platine entsprechend den 48 Streifen, aus denen jeder der vier Zähler besteht. Der Modul-Bus der vier verketteten Frontend-Module wird an einem PC-Adapter angeschlossen, der neben der Spannungsversorgung für die Frontend-Module auch einen Trigger-Zähler enthält. Dieser wird bei jedem Trigger-Impuls, der an die Frontend-Module gegeben wird erhöht und kann vom PC gelesen und dekrementiert werden. Zur Ansteuerung des Adapters sind in den PC zwei Erweiterungskarten gesteckt, die je 24 frei programmierbare digitale Leitungen zur Verfügung stellen. In Abbildung 4.4 ist der Aufbau des Auslesesystems dargestellt.

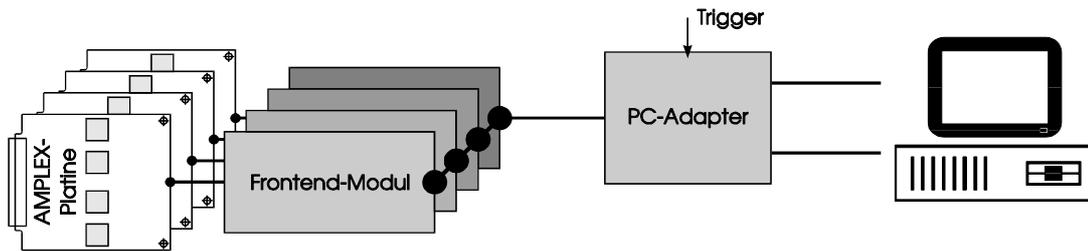


Abbildung 4.4 System zur Datenauslese mit einem PC

Das bereits beschriebene Protokoll zur Datenauslese aus den Frontend-Modulen wird am PC durch ein Programm ausgeführt, welches die nötigen Signale an den digitalen Leitungen erzeugt und die Daten von diesen liest. Durch die begrenzte Ablaufgeschwindigkeit des PC-Programms ist auch die Ausleserate auf ca.  $160\text{s}^{-1}$  beschränkt, obwohl das Frontend-Modul die Datenaufnahme bereits in der endgültig vorgesehenen Zeit durchführt. Bei zu hohen Ereignisraten kommt es somit zu einem Überlauf der Pufferspeicher auf den Frontend-Modulen, den das PC-Programm erkennen und behandeln muß.

Gestartet wird die Datenaufnahme durch einen Trigger-Impuls, der aus dem an den Rückseiten der hinteren Zähler anliegenden Signalen aufbereitet wird. Die Signalaufbereitung erfolgte mit Standard-NIM-Einschüben entsprechend Abbildung 4.5.

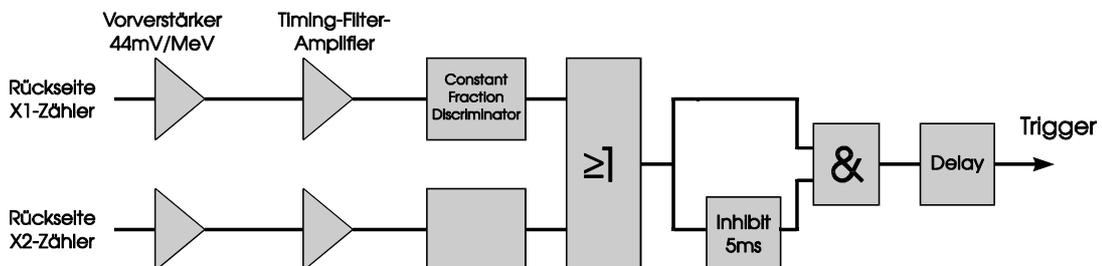


Abbildung 4.5 Erzeugung des Triggers aus dem Rückseitensignal der Streifen-zähler

## 4.2 Versuchsdurchführung am Tandembeschleuniger

Die Erprobung der Elektronik konnte mit einem Experiment am Münchner Tandembeschleuniger durchgeführt werden. Hierzu wurde das beschriebene Detektorsystem in eine Streukammer eingebaut, die auch eine Veränderung des Winkels zwischen Detektor und Strahlachse erlaubt. Die Frontend-Elektronik befand sich außen an einem vakuumdichten Flansch, durch den die nötigen Leitungen in die Streukammer geführt wurden. In Abbildung 4.6 ist die Lage des Detektors in der Streukammer skizziert.

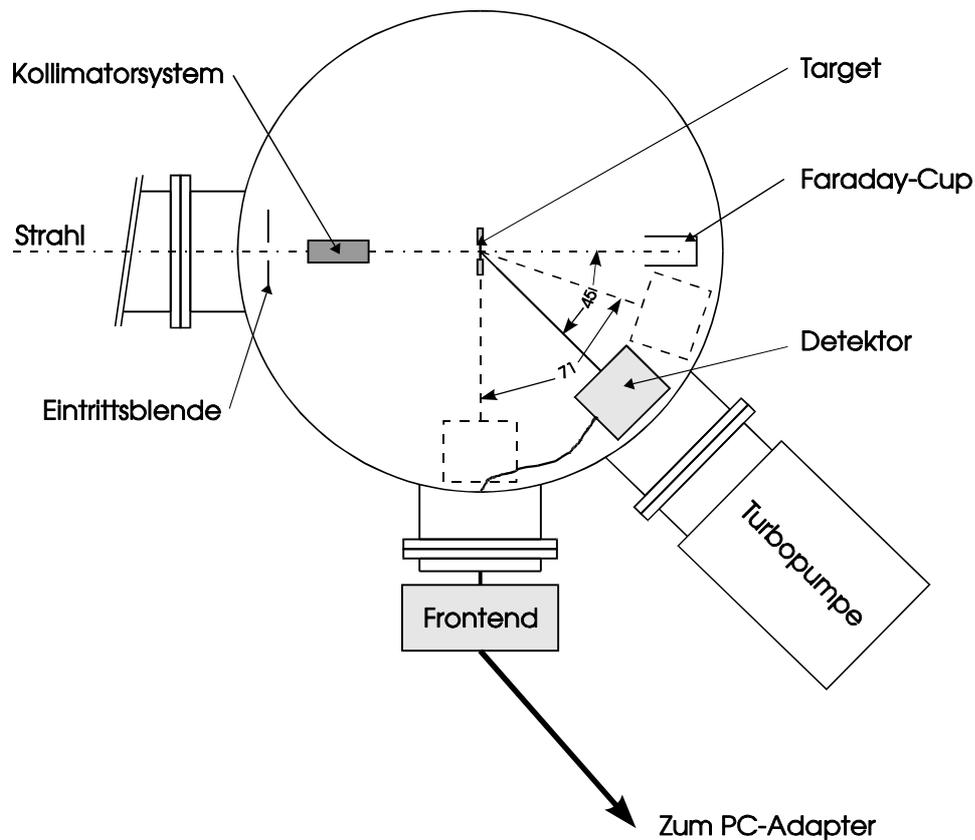


Abbildung 4.6 Lage des Detektorsystems in der Streukammer

Der Beschleuniger, der während der Versuche mit 13MV Terminalspannung betrieben wurde, erzeugte einen  $^{58}\text{Ni}$ -Strahl, der sich nach der Stripper-Folie im Ladungszustand  $12+$  befand. Als Target wurde eine Polyimid-Folie mit einer Dicke von  $350\mu\text{g}/\text{cm}^2$  verwendet, die als Kohlenwasserstoffverbindung gestreute Kohlenstoffatome und Protonen liefert. Die zur Kinematik und zum Energieverlust in den Streifenzählern durchgeführten Rechnungen für die Reaktion  $^{12}\text{C}(^{58}\text{Ni}, ^{58}\text{Ni})^{12}\text{C}$  unter dem für die Datenaufnahme hauptsächlich verwendeten Winkel von  $45^\circ$  zur Strahlachse ergeben folgende Werte:

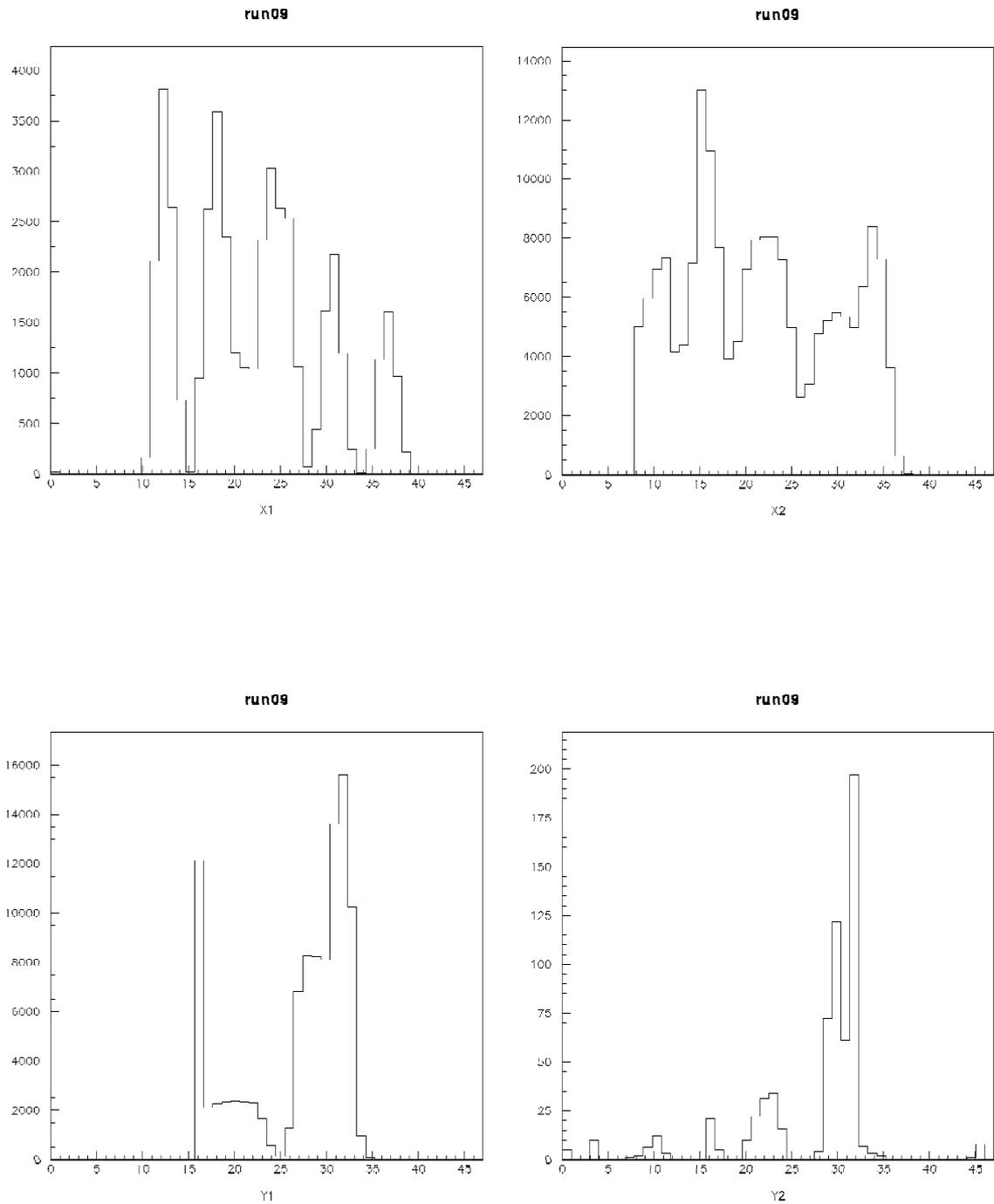
Energie der $^{58}\text{Ni}$ -Ionen:	170MeV
Energie der unter $45^\circ$ gestreuten $^{12}\text{C}$	48.4MeV
Energieverlust der $^{12}\text{C}$ in $150\mu\text{m}$ dickem Silizium	8.7MeV

Die aus der Polyimid-Folie gestreuten Kohlenstoff-Ionen durchdringen demnach die vorne angeordneten Streifenzähler und deponieren den größten Teil ihrer Energie in den dahinter liegenden  $500\mu\text{m}$  dicken X-Streifenzählern. Aus dem Rückseitensignal der X-

Zähler kann somit auf einfache Weise ein Trigger-Signal gewonnen werden. Das von den einzelnen Streifen des Zählers gelieferte Signal wird jedoch die angeschlossenen AMPLEX-Eingänge übersteuern und so nur die Feststellung des Orts erlauben. Das vor dem Detektor montierte TUM-Logo sollte zweidimensional abgebildet werden können. Zu Beginn der Strahlzeit wurde die Datenaufnahme zunächst ohne Schwellenwerte in den Frontend-Modulen betrieben. Die so gewonnenen Daten, die als Text-Dateien auf dem PC vorlagen, wurden dann zur Festlegung von sinnvollen Schwellenwerten für die einzelnen Zähler verwendet. Durch schrittweise Anpassung der Schwellen für die einzelnen Kanäle konnte der durch Rauschen verursachte Untergrund in den Rohdaten deutlich verringert werden. Die aufzuzeichnende Datenmenge, die auf der Festplatte des PC zwischengespeichert werden mußte, konnte entsprechend verkleinert werden. Aufgrund des einfachen Aufbaus bei dem ein auf dem PC ablaufendes Programm die Ansteuerung der Frontend-Elektronik übernahm, war eine Online-Analyse der gewonnenen Daten nicht möglich. Das Ziel des Versuchs war es, während der Strahlzeit das Verhalten der Elektronik in der Praxis zu erproben und nach Abschluß der Strahlzeit die gewonnenen Daten einer Auswertung zu unterziehen.

### **4.3 Auswertung der gewonnenen Daten**

Die während der Strahlzeit gewonnenen Daten, die als Textdateien vorliegen und insgesamt ca. 200MByte umfassen müssen vor ihrer graphischen Darstellung aufbereitet werden. Zunächst werden die bereits in der Datei als fehlerhaft markierten Ereignisse, bei denen ein Speicherüberlauf eines Frontend-Moduls aufgetreten ist, entfernt. Im nächsten Schritt erfolgt eine Trennung des Pulshöhenwertes von der Kanaladresse, die einer Umrechnung bedarf. Diese Umrechnung ist durch die von der Einbaulage eines Zählers abhängige Zuordnung der Kanaladressen zu den Streifen der einzelnen Zähler nötig, welche durch die Steckeranordnung an der AMPLEX-Platine und den Streifenzählern bereits vorgegeben war. Zusätzlich waren nur 48 der 64 AMPLEX-Eingänge jeder Platine beschaltet, was zu Lücken in dem Kanaladressbereich von 0 bis 255 führt. Nach der Umsetzung der Kanaladressen in X- bzw. Y-Koordinaten von 0 bis 47 kann die Zählrate der einzelnen Zähler bereits gegen die Streifennummer aufgetragen werden. Hierzu erzeugt das Programm, welches die Umrechnung vornimmt, vier Einzeldateien, die getrennt darstellbar sind.



**Abbildung 4.7** Verteilung der Ereignisse auf die Streifen der vier Zähler

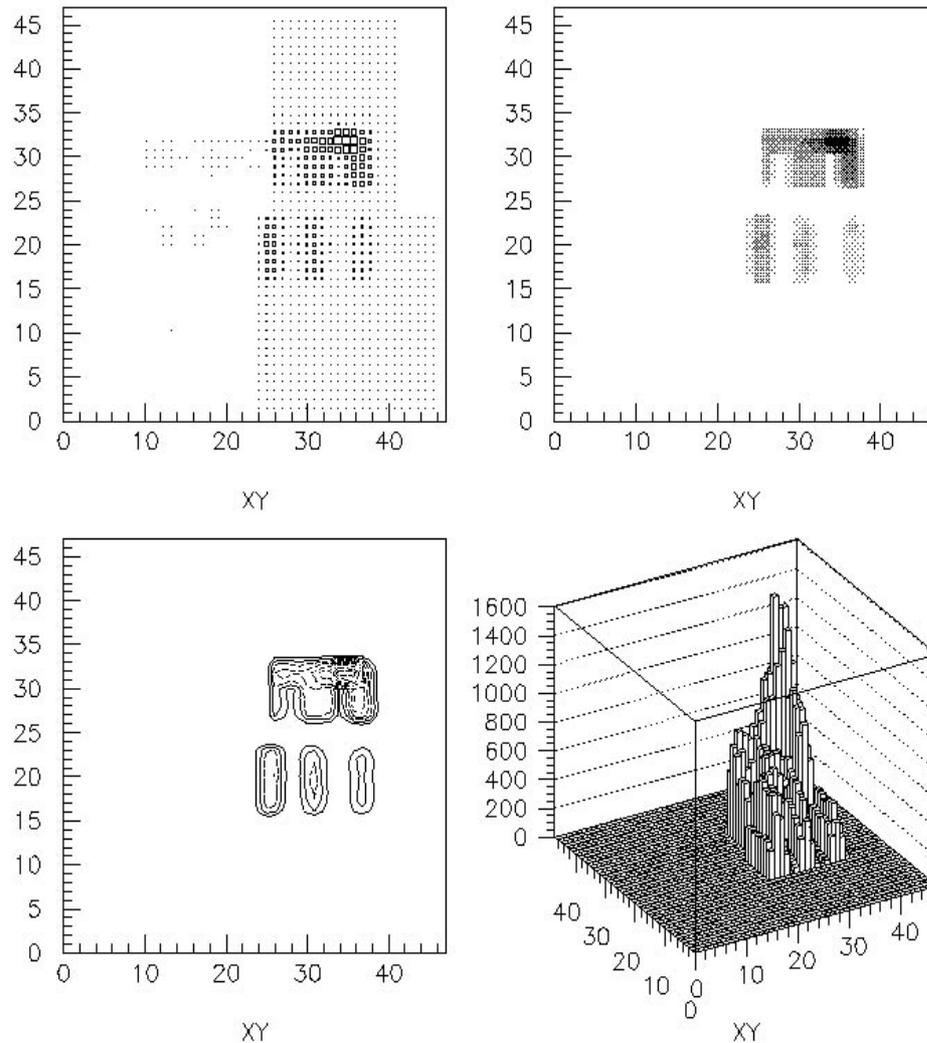
Die Verteilung der Ereignisse auf die Streifen der X-Zähler läßt das ausgeleuchtete TUM-Logo bereits vermuten. Auffällig ist jedoch die stark unterschiedliche Zählrate der beiden Y-Zähler, was auf Probleme mit dem Y2-Streifenzähler hindeutet.

Anschließend wird der Datenbestand getrennt für die vier von jeweils einem X- und einem Y-Zähler abgedeckten Quadranten des Detektors nach Ereignissen durchsucht, die eine Koinzidenz zwischen X- und Y-Zähler aufweisen. Diese Ereignisse werden gezählt und mit ihren Koordinaten versehen in eine Datei geschrieben. Die Zählung der Koinzidenzen für die oben bereits dargestellten Daten liefert das folgende Ergebnis für die vier Quadranten:

	Y2-Zähler	Y1-Zähler
X2-Zähler	91 Ereignisse 0.06%	127256 Ereignisse 80.5%
X1-Zähler	16 Ereignisse 0.01%	30543 Ereignisse 19.3%

Ausgewertet wurden bei diesem Run 220704 Ereignisse, wobei 157906 Koinzidenzen gefunden wurden. Wie bereits angedeutet ist die vom fehlerhaften Y2-Zähler aufgenommene Zahl von Ereignissen deutlich zu gering. Dies führt zum nahezu vollständigen Fehlen von Koinzidenzen in der linken Detektorhälfte, obwohl die beiden X-Zähler eine gute Übereinstimmung der senkrechten Blendenöffnungen mit dem Ort der angesprochenen Streifen aufweisen. Die wenigen im Y2-Zähler registrierten Ereignisse liegen ebenfalls im Bereich von waagrechten Blendenöffnungen, was gegen eine grundsätzliche Fehlfunktion der Elektronik spricht. In der zweidimensionalen Darstellung fehlt dennoch die linke Hälfte des abzubildenden TUM-Logos, da für jede X-Y-Koordinate die Zahl der gefundenen Koinzidenzen aufgetragen ist. Abbildung 4.8 zeigt verschiedene Darstellungsformen der aufbereiteten Daten, wobei die rechte Hälfte der Blende gut zu erkennen ist. Der nicht ausgefüllte waagrechte Bereich in der Mitte des TUM-Logos ist auf den Spalt zwischen den beiden gegeneinander montierten X-Zählern zurückzuführen. In diesem Bereich wird kein Trigger-Signal erzeugt, wodurch auch bei einem Teilchendurchgang durch die dort liegenden Streifen der Y-Zähler die Datenaufnahme keine Konvertierung der AMPLEX-Signale durchführt.

run09



**Abbildung 4.8** Zweidimensionale ortsauflösende Darstellung der Koinzidenzen als Scatter-Plot, Graustufenbild, Höhenlinien- und Säulendiagramm

Wie die ersten Ergebnisse der Versuchsauswertung belegen, ist die entwickelte Frontend-Elektronik mit der im FPGA implementierten Ablaufsteuerung in der Lage, die gestellten Anforderungen zu erfüllen. Die für jeden Kanal einzeln programmierbare Schwelle erlaubt es, bereits während der Konvertierung eine wirksame Datenreduktion vorzunehmen. Hervorzuheben ist die hohe Flexibilität des Systems, das für den Versuch ohne Veränderungen an der Hardware von 16 auf 64 Kanäle pro Frontend-Modul umgestellt wurde, indem eine dahingehend modifizierte FPGA-Konfiguration in die Module geladen wurde.

## 5. Ausblicke

Die Realisierung des vollständigen Auslesesystems in dem eingangs beschriebenen Umfang bedeutet zunächst noch einigen Aufwand im Bereich der Hardware-Entwicklung. Für noch im Stadium der Schaltungsentwicklung befindliche Baugruppen müssen Prototypen hergestellt werden, vorhandene Baugruppen bedürfen der Weiterentwicklung, wobei für den endgültigen Aufbau auch die Frage der Gesamtkosten des Systems eine entscheidende Rolle spielt.

### 5.1 Weitere Schritte zum Aufbau des Gesamtsystems

#### 5.1.1 Umstellung auf den GASSIPLEX-Chip

Zwischenzeitlich ist eine weiterentwickelte Ausführung des verwendeten AMPLEX-Chips, der GASSIPLEX verfügbar. Neben einer niedrigeren Betriebsspannung weist dieser eine höhere maximale Auslesefrequenz und eine verstärkte Ausgangstreiberstufe auf. [16] Momentan noch im Aufbau befindliche Versuchsschaltungen werden zeigen, ob durch die erwartete schnellere Stabilisierung des analogen Ausgangssignals eine schnellere Konvertierung der Werte möglich ist. Durch zeitversetzte Ansteuerung könnte so ein mit einem FPGA ausgerüstetes Frontendmodul statt 16 Kanälen 32 oder 64 Kanäle bedienen, ohne die geforderten 10 $\mu$ s Konvertierungszeit zu überschreiten. Neben einem kompakteren und stromsparenderem Aufbau des Moduls könnten auch die Systemkosten pro auszulesendem Kanal gesenkt werden.

#### 5.1.2 Entwicklung von Prototyp-Baugruppen für den VMEbus

Die in ihrer geplanten Funktion bereits beschriebenen Baugruppen Datenkonzentrator, Zentralmodul und Trigger-Prozessor sollen als Einschübe für ein VME-Bus-Rechner-system aufgebaut werden. Die Entwicklung dieser Baugruppen umfasst somit nicht nur den Entwurf einer Schaltung, die im Auslesebetrieb das gewünschte Verhalten zeigt, vielmehr muß auch die Anpassung an die Bus-Schnittstelle des Rechnersystems erfolgen und deren Zusammenarbeit mit der Anwendungsschaltung erprobt werden. Es ist vorgesehen, diese Baugruppen ebenfalls unter Verwendung programmierbarer Logik zu realisieren, wobei aufgrund des bereits vorhandenen Entwicklungssystems und der großen Auswahl verschieden leistungsfähiger Bauteile wiederum FPGAs der Firma Xilinx zum Einsatz kommen sollen.

Für die Untersuchung einzelner Schaltungsteile und deren Zusammenarbeit wurde eine allgemein verwendbare Prototyp-Platine für ein VME-Bus-System entworfen. Diese Baugruppe weist eine dem Standard entsprechende Schnittstelle zum VME-Bus auf und

bietet dem Entwickler die Möglichkeit, bis zu vier unterschiedliche FPGAs auf einer Platine einzusetzen. Die Konfiguration der FPGAs kann sowohl über einen Entwicklungsadapter des FPGA-Herstellers als auch direkt durch den VME-Bus-Rechner erfolgen, wobei die vier FPGAs jeweils verschiedene Konfigurationsinformationen enthalten können. Jeder FPGA-Baustein hat direkten Zugriff auf den VME-Bus und kann, da ihm ein Adressbereich im Adressraum des VME-Bus-Rechners zugewiesen ist, direkt von diesem angesprochen werden. Durch die vollständige Ausdekodierung der Adressleitungen des VME-Busses können mehrere Prototyp-Platinen parallel in einem VME-Bus-System betrieben werden, was auch die Untersuchung komplexerer Schaltungen erlaubt. Abbildung 5.1 zeigt eine Prototyp-Platine, auf der zwei FPGA-Bausteine bestückt sind.

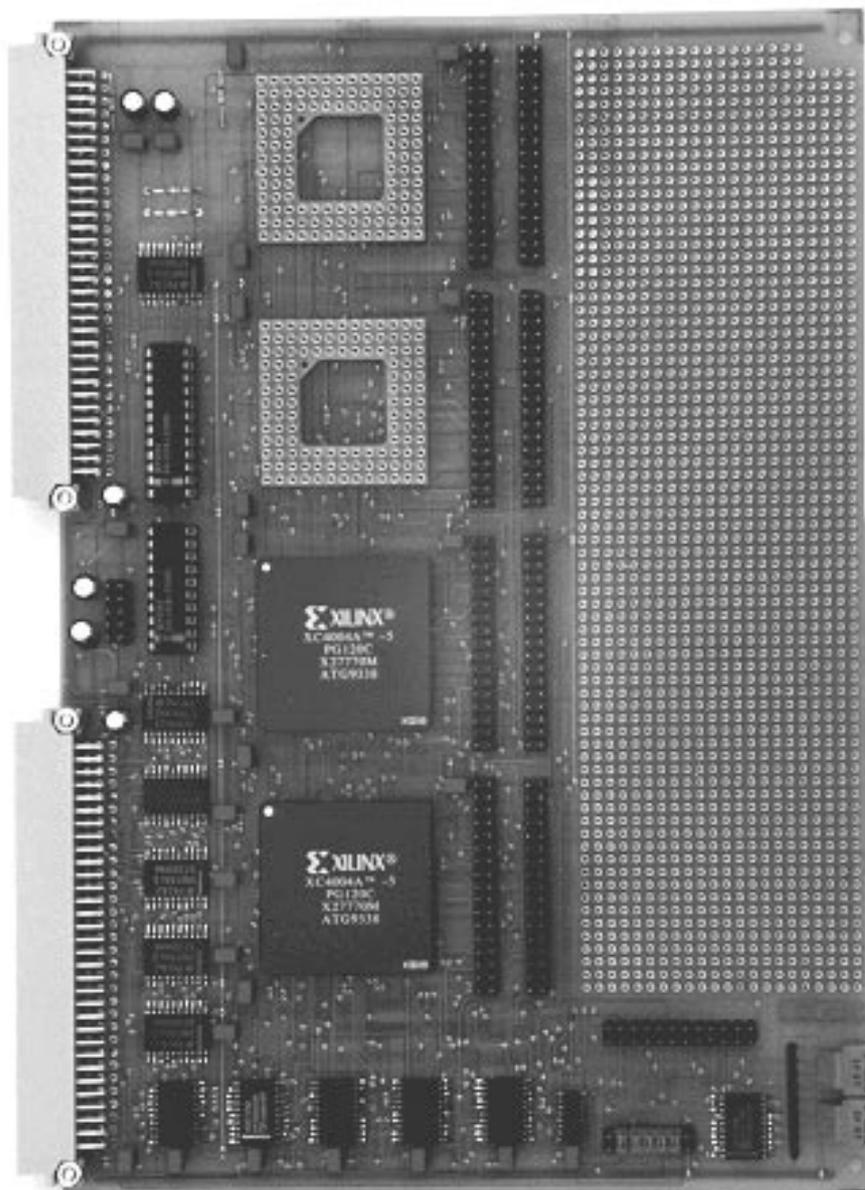


Abbildung 5.1 FPGA-Prototyp-Platine für den VME-Bus

Neben den quadratischen FPGAs sind Steckerleisten zu erkennen, auf die je nach verwendetem FPGA-Typ bis zu 62 frei programmierbare Ein-/Ausgabeleitungen geführt sind. Mit diesen und dem ebenfalls vorhandenem Lochrasterfeld lassen sich auf einfache Weise Versuchsschaltungen realisieren, ohne daß in jedem Entwicklungsschritt erneut auch eine VME-Bus-Schnittstelle aufgebaut werden müßte.

Die Entwicklung eines Adapters für die Prototyp-Frontend-Module unter Verwendung der VME-Bus-Entwicklungsplatine ist bereits begonnen und verspricht eine deutliche Erhöhung der Ausleserate im Vergleich zum bisher für Tests verwendeten PC-Adapter. Ebenfalls in einem FPGA auf der Entwicklungsplatine sollen erste Versuchsschaltungen zur Hardware-Ringerkennung, die für den Trigger-Prozessor benötigt wird, implementiert und getestet werden.

Auch hier ist der Vorteil des FPGA-Einsatzes in der hohen Flexibilität bei gleichzeitiger Möglichkeit zum Aufbau komplexer Digitalschaltungen zu sehen. Auch grundlegende Änderungen an einer Schaltung können per Software vorgenommen werden und bedürfen nicht des zeitintensiven Umbaus einer Schaltung.

## **5.2 Integration des Frontend-Moduls in ein ASIC**

In Zusammenarbeit mit dem europäischen Kernforschungszentrum CERN, das den AMPLEX- und den GASSIPLEX-Chip entwickelt hat, ist die Entwicklung eines Bausteins geplant, der die Funktionen des Frontend-Moduls in einer integrierten Schaltung vereint. Dieser Baustein, dessen Arbeitstitel "DIGITPLEX" lautet, hätte gegenüber einer aus mehreren Bauteilen bestehenden Frontend-Elektronik einige Vorteile.

Die Anpassung des GASSIPLEX-ähnlichen mehrkanaligen Eingangsverstärkers an den nachgeschalteten ADC könnte verbessert und aufgrund der kürzeren Leitungswege das Zeitverhalten optimiert werden. Die Frontend-Elektronik könnte äußerst kompakt und mit niedriger Verlustleistung, die als Wärme abgeführt werden muß, aufgebaut werden. Die Kosten für die in großer Stückzahl benötigten Frontend-Module würden sich durch den verringerten Bauteileaufwand deutlich reduzieren.

Ein Nachteil der vollständigen Integration in einen Schaltkreis ist der Verlust der Flexibilität, die eine Lösung unter Verwendung von FPGAs auch noch während des Betriebs des Gesamtsystems bietet.

## Anhang

### A. Schaltpläne des Frontend-Moduls

Die Schaltpläne in diesem Anhang geben den Aufbau des Frontend-Moduls und den Inhalt des FPGAs wieder. Die folgenden Schaltbilder enthalten im Einzelnen:

Gesamtschaltbild des Frontend-Moduls

Digitalteil des Frontend-Moduls

Analogteil des Frontend-Moduls

Gesamtschaltbild der FPGA-Konfiguration für 16 Kanäle

Takterzeugung der FPGA-Konfiguration für 16 Kanäle

Komparator und Schieberegister der FPGA-Konfiguration für 16 Kanäle

Schwellenspeicher der FPGA-Konfiguration für 16 Kanäle

Pattern-Clk-Schalter der FPGA-Konfiguration für 16 Kanäle

Analog-Clk-Schalter der FPGA-Konfiguration für 16 Kanäle

Gesamtschaltbild der FPGA-Konfiguration für 64 Kanäle

Takterzeugung der FPGA-Konfiguration für 64 Kanäle

Komparator und Schieberegister der FPGA-Konfiguration für 64 Kanäle

Schwellenspeicher der FPGA-Konfiguration für 64 Kanäle

Pattern-Clk-Schalter der FPGA-Konfiguration für 64 Kanäle

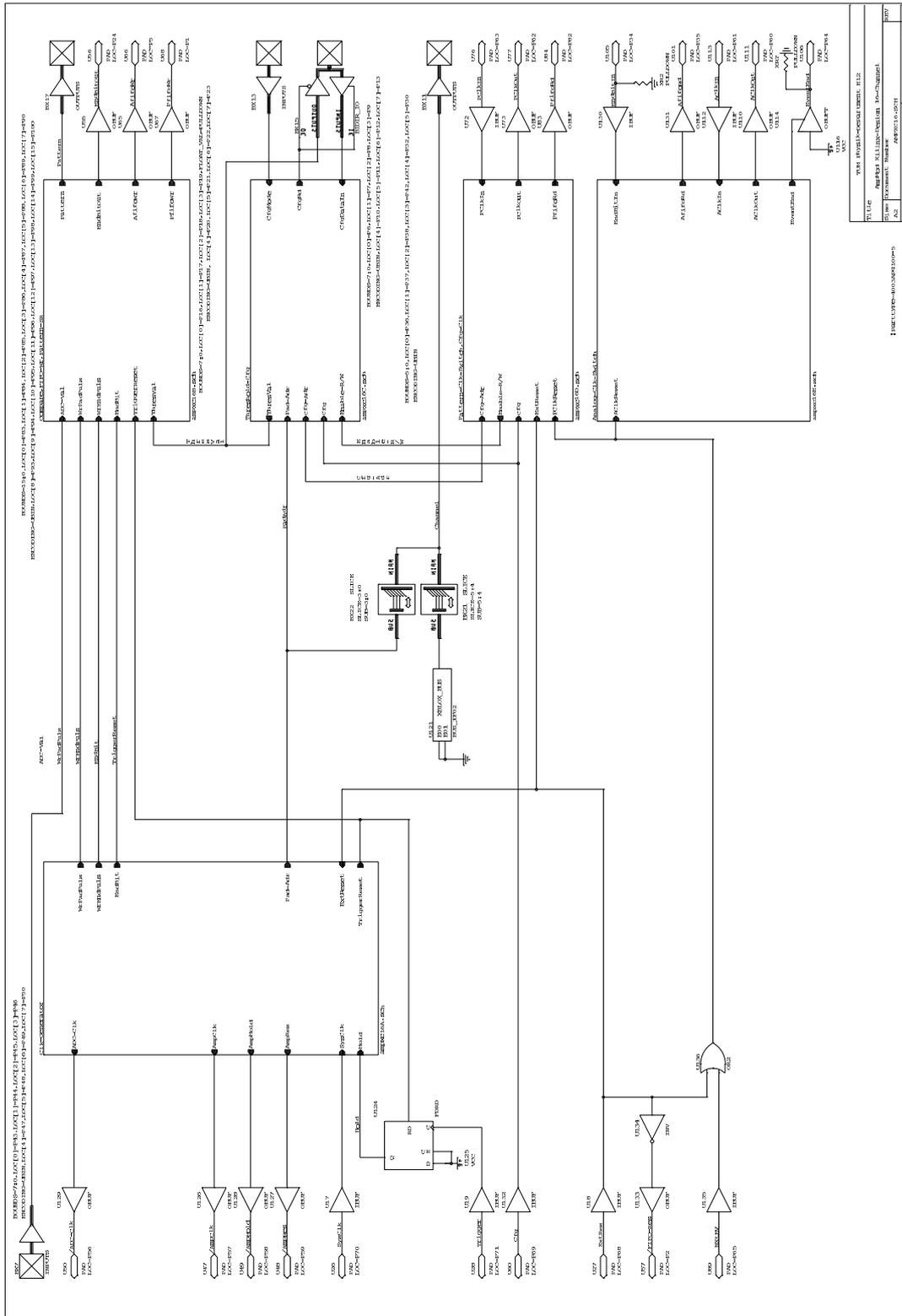
Analog-Clk-Schalter der FPGA-Konfiguration für 64 Kanäle





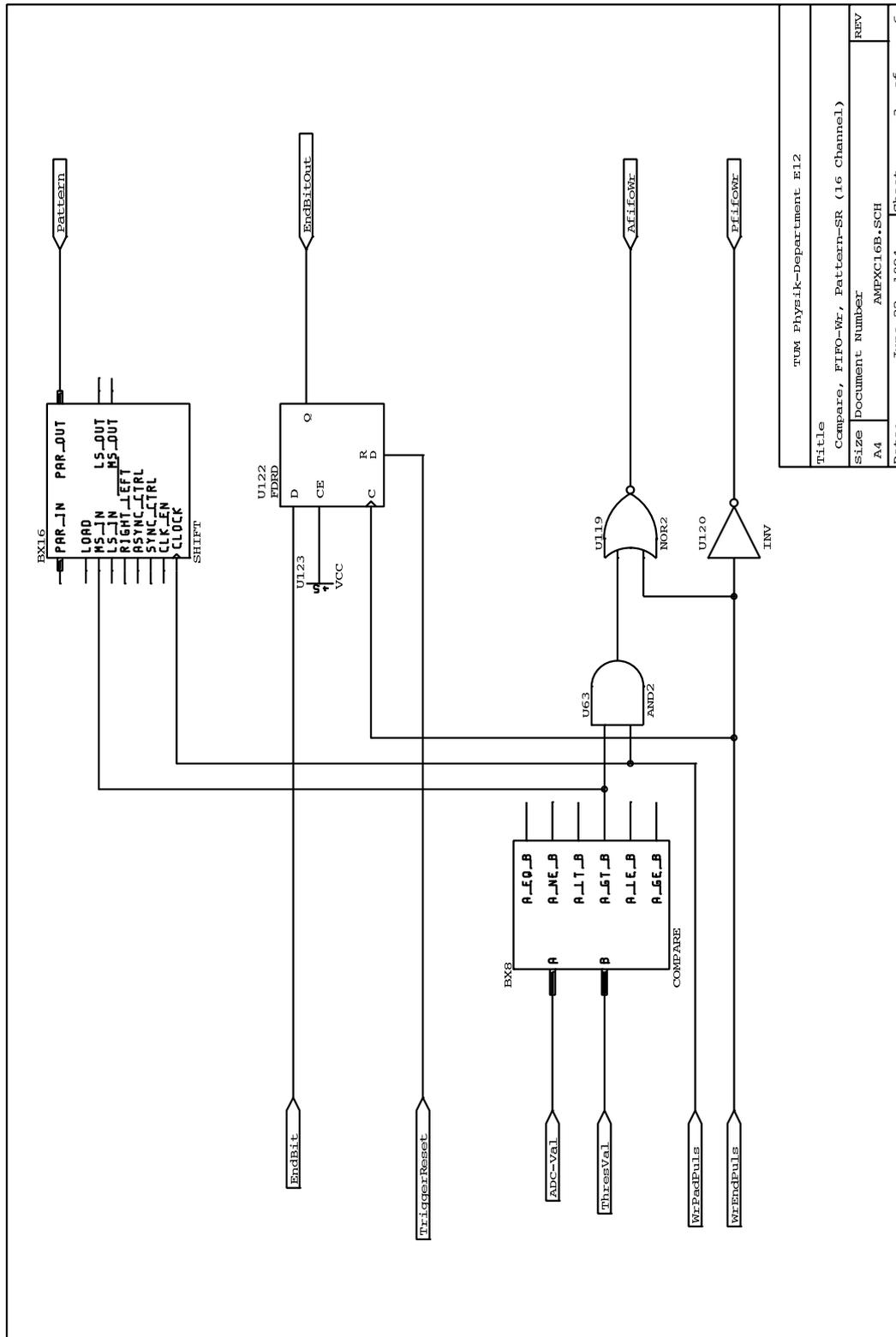


### Gesamtschaltbild der FPGA-Konfiguration für 16 Kanäle



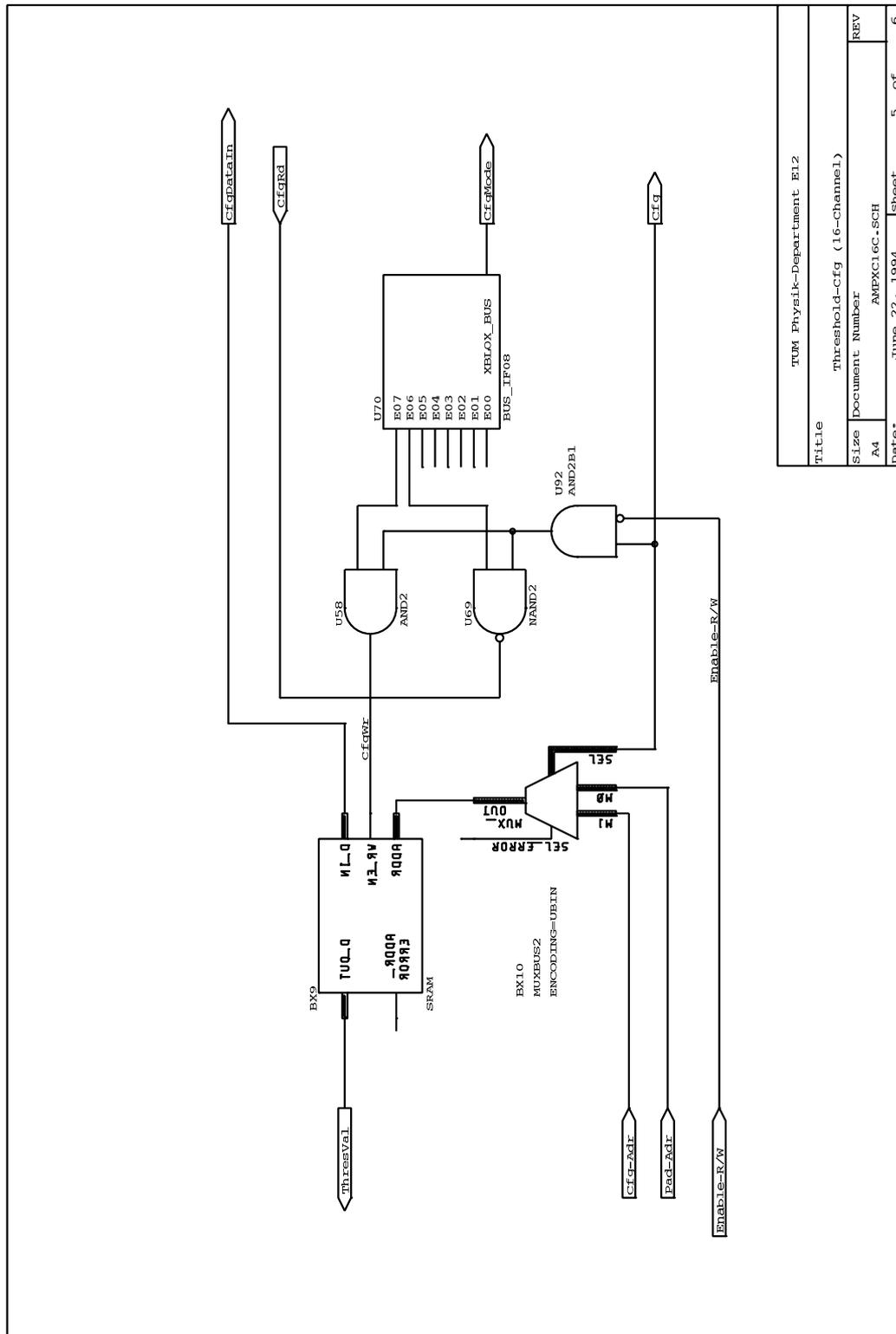


Komparator und Schieberegister der FPGA-Konfiguration für 16 Kanäle



TUM Physik-Department E12	
Title Compare, FIFO-Wr, Pattern-SR (16 Channel)	
Size	Document Number
A4	AMPXC16B.SCH
Date:	June 22, 1994
Sheet	3 of 6

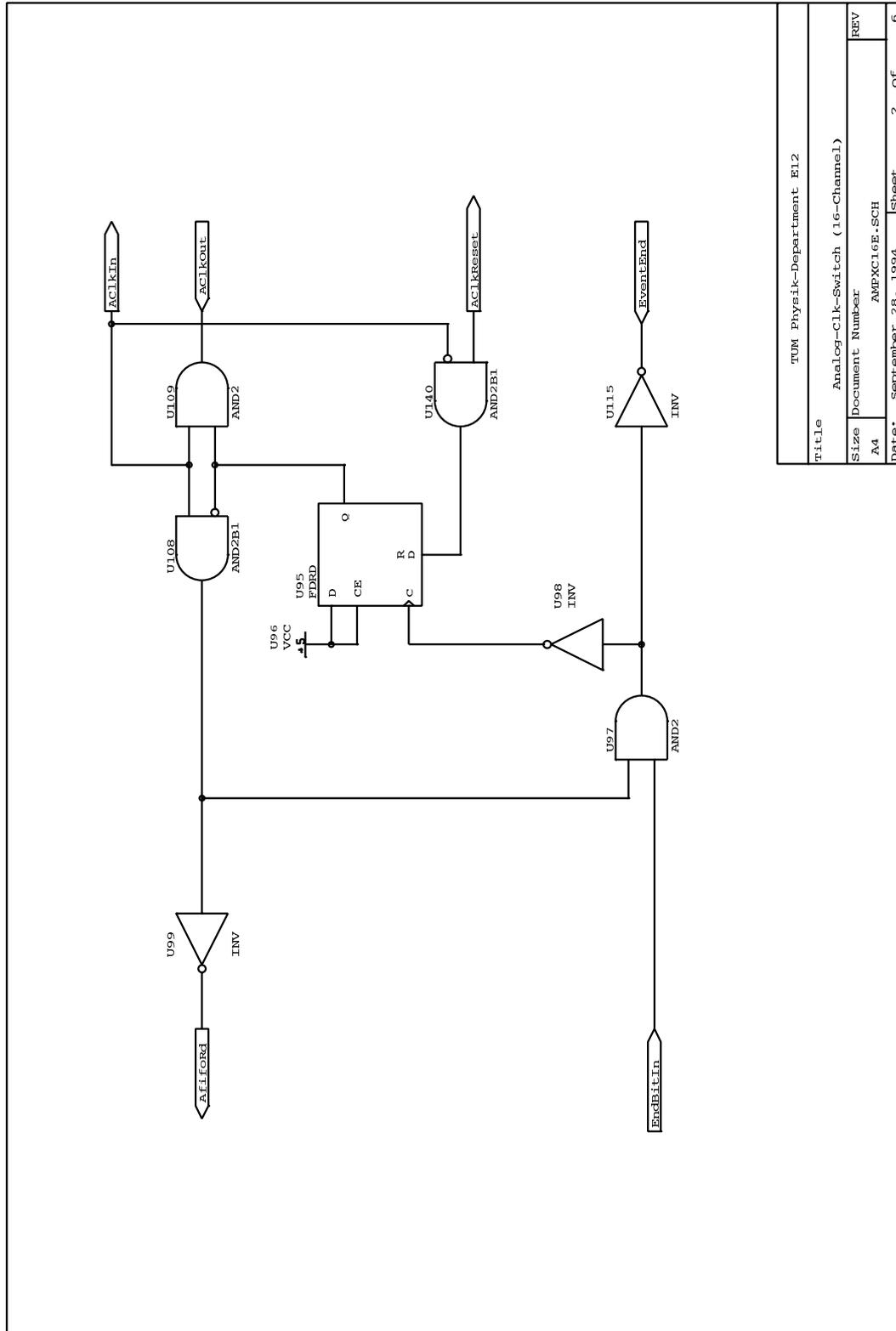
Schwellenspeicher der FPGA-Konfiguration für 16 Kanäle



Title	
TUM Physik-Department E12	
Threshold-cfg (16-Channel)	
Size	Document Number
A4	AMPXC16C-SCH
Date:	June 22, 1994
Sheet	5 of 6



Analog-Clk-Schalter der FPGA-Konfiguration für 16 Kanäle

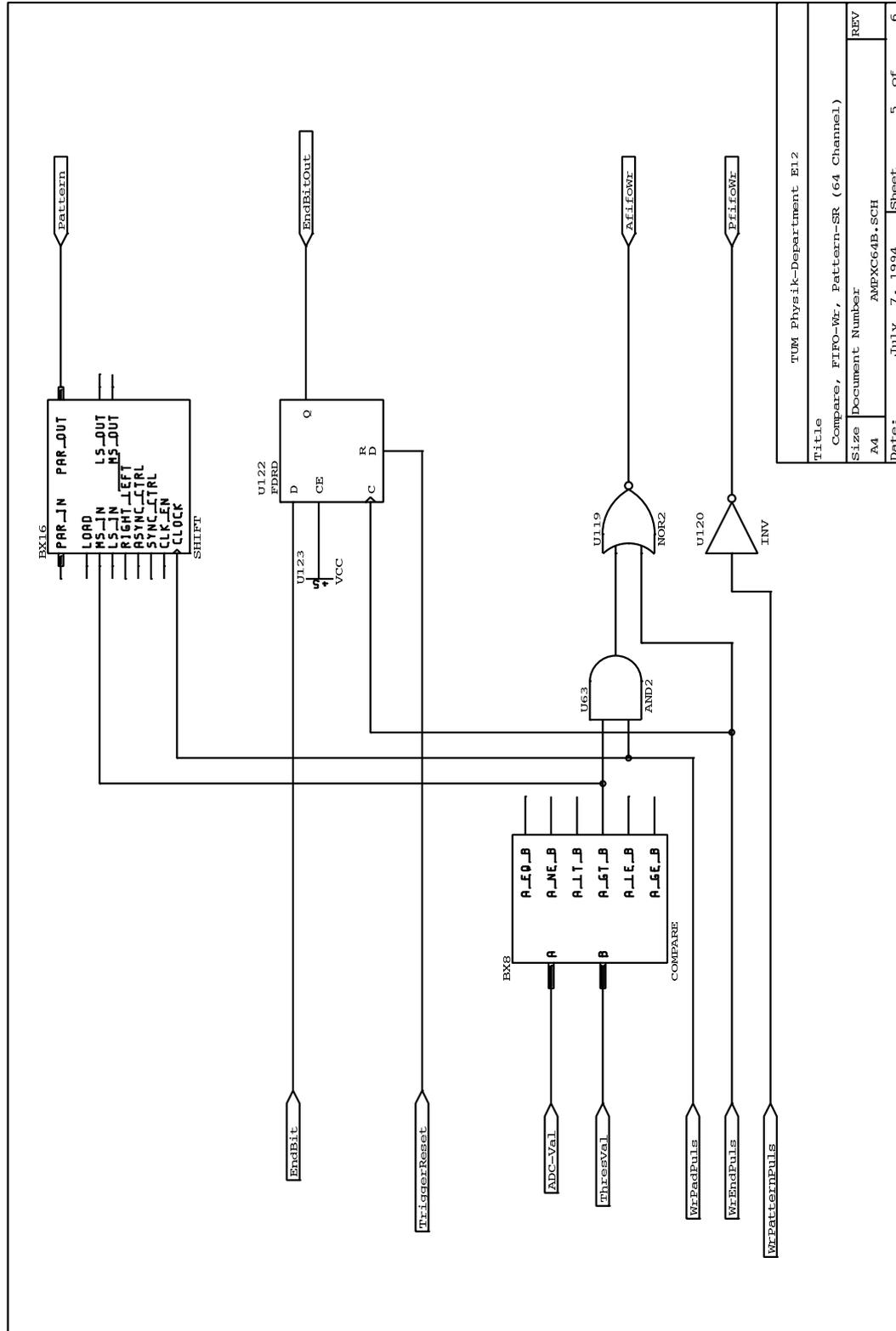


TUM Physik-Department E12	
Title	Analog-Clk-Switch (16-Channel)
Size	A4
Document Number	AMPXC16E-SCH
Date:	September 28, 1994
Sheet	2 of 6



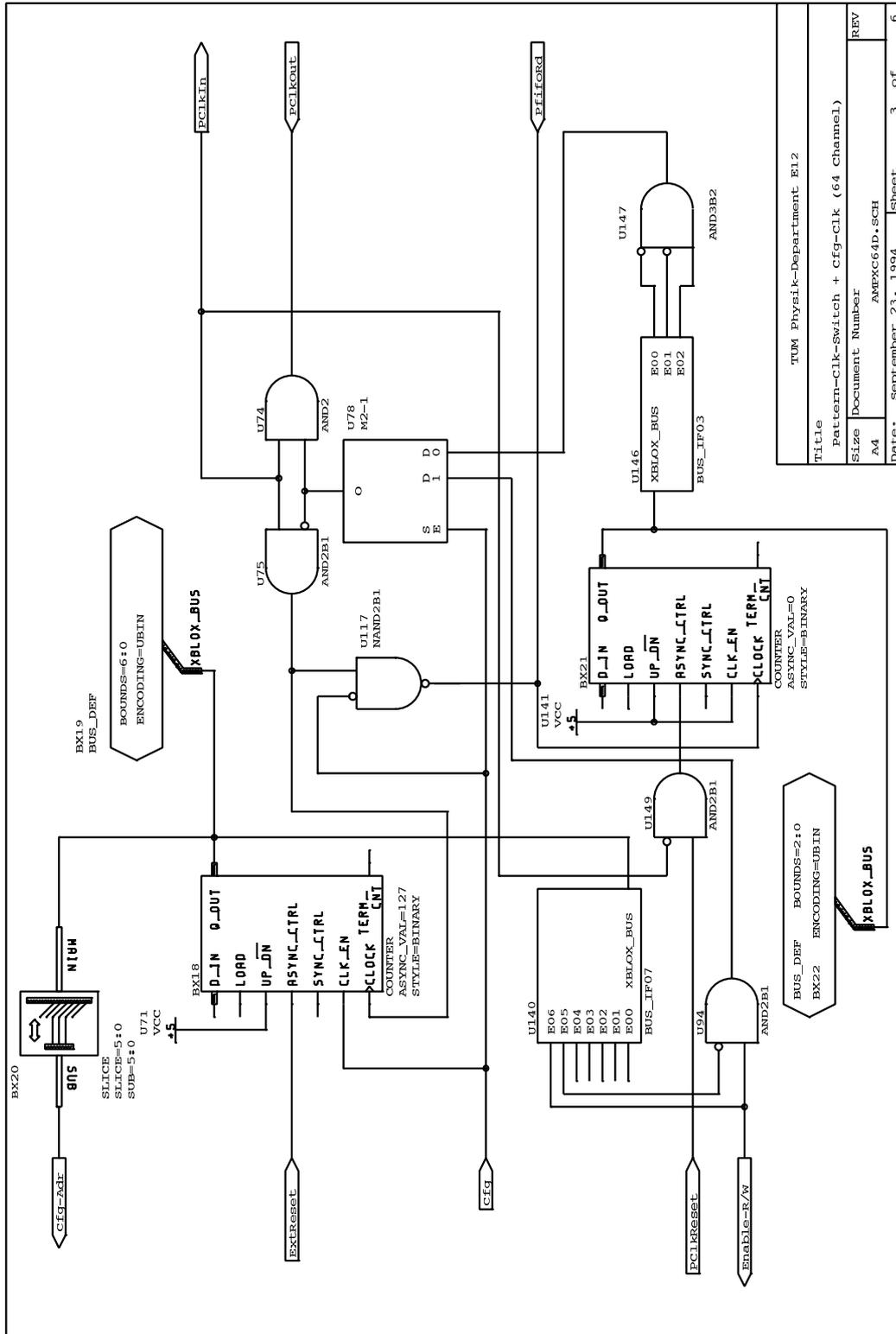


Komparator und Schieberegister der FPGA-Konfiguration für 64 Kanäle



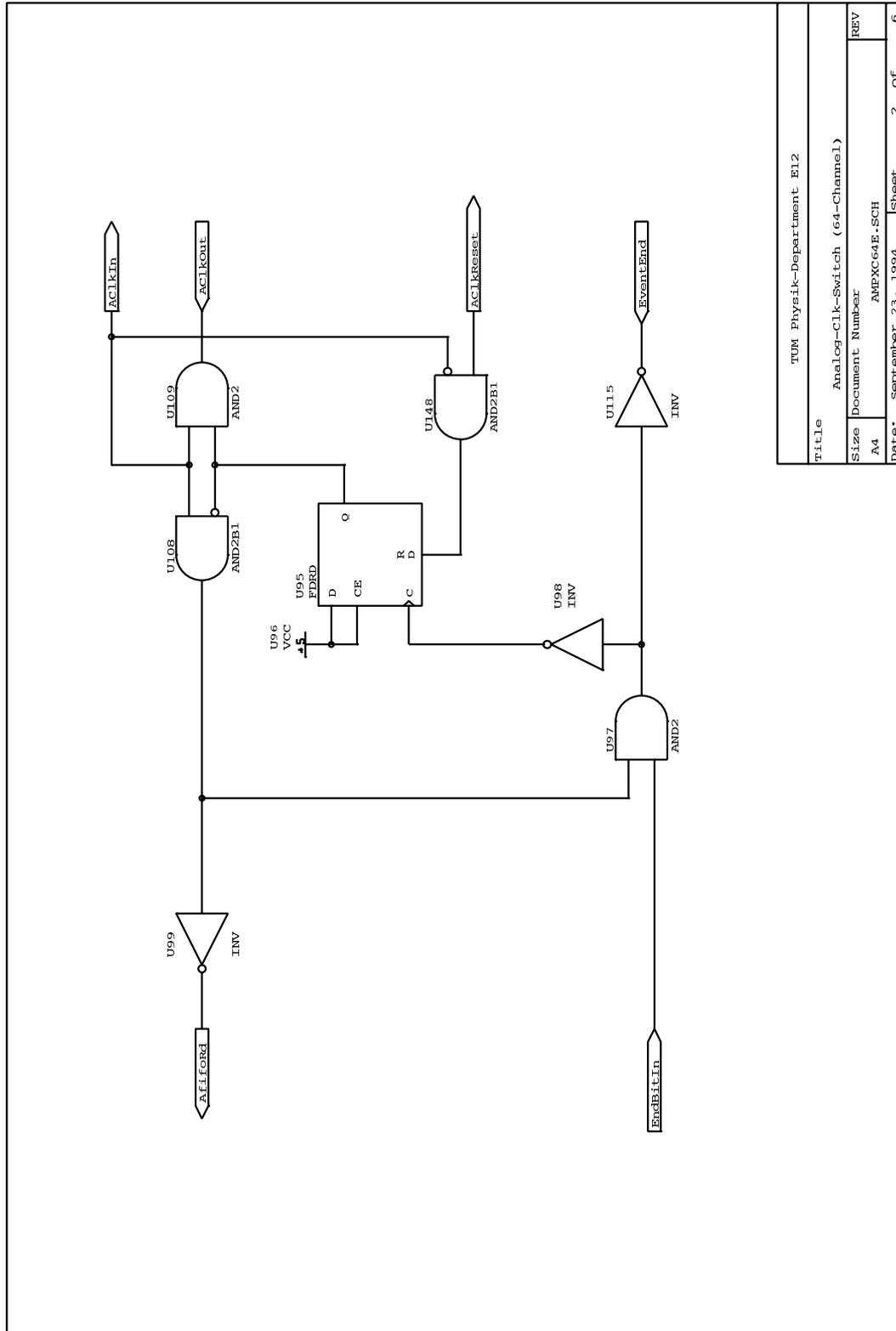


Pattern-Clk-Schalter der FPGA-Konfiguration für 64 Kanäle



TUM Physik-Department E1.2	
Title	Pattern-Clk-Switch + Cfg-Clk (64 Channel)
Size	Document Number
A4	ANXC64D.SCH
Date:	September 23, 1994
Sheet	3 of 6

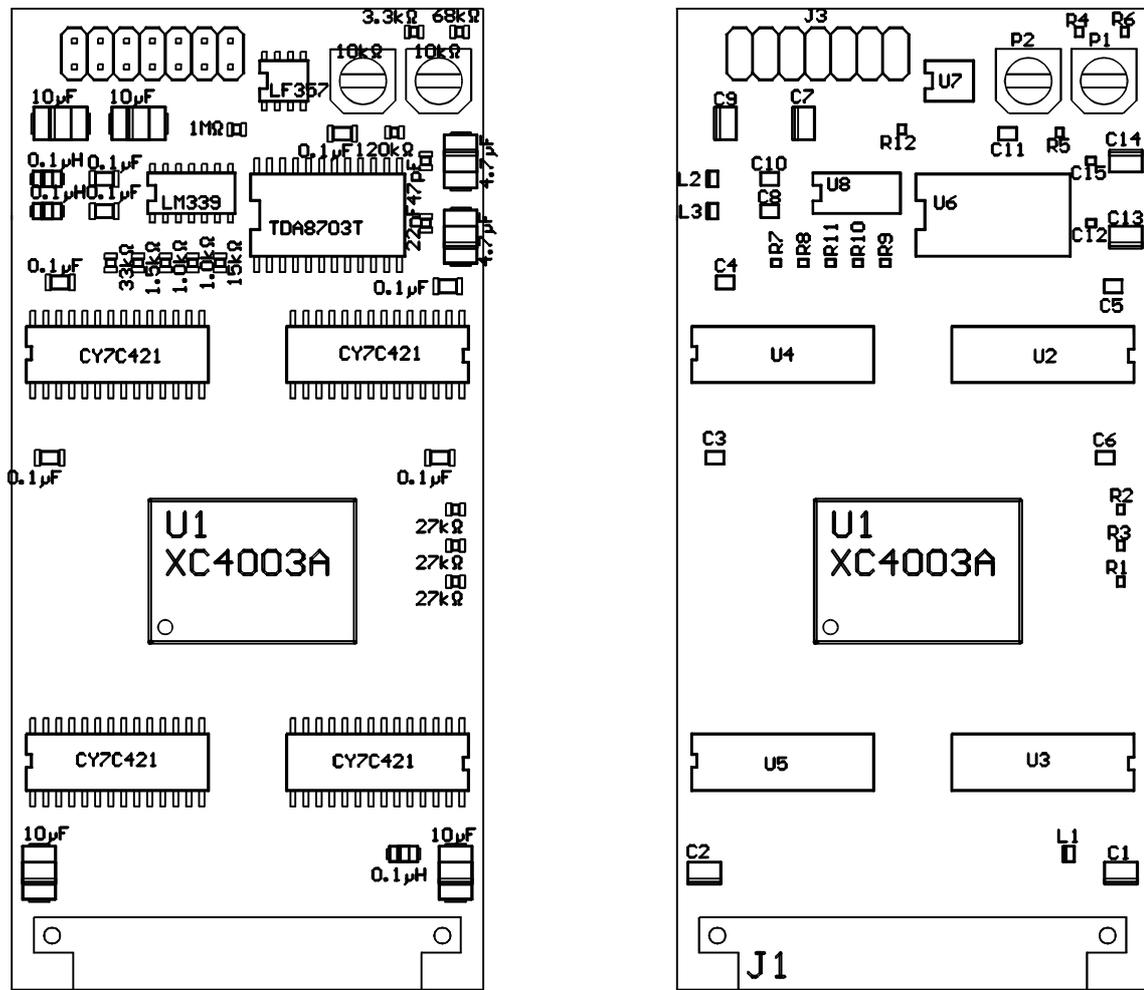
Analog-Clk-Schalter der FPGA-Konfiguration für 64 Kanäle



TUM Physik-Department E12	
Title	Analog-Clock-Switch (64-Channel)
Size	Document Number
A4	AMPXC64E-SCH
Date:	September 23, 1994
Sheet	2 of 6

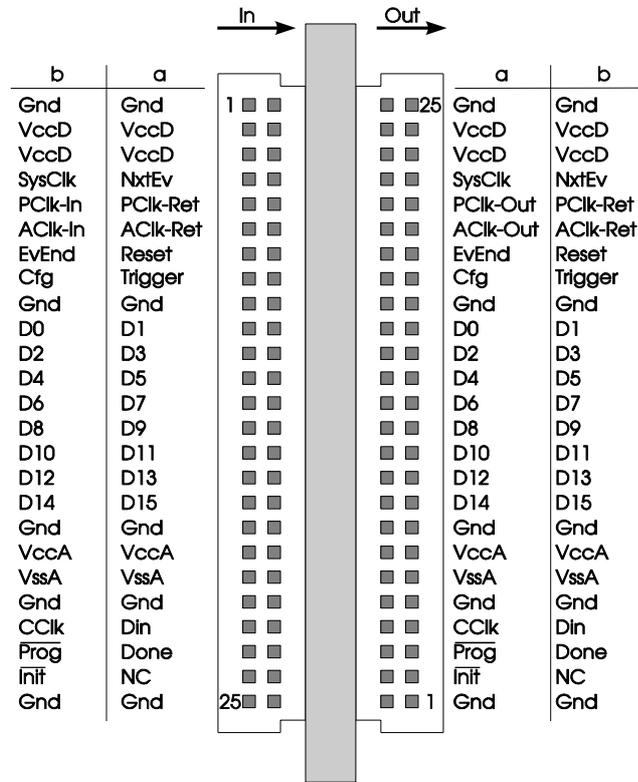
## B. Bestückungsplan und Anschlußbelegung des Frontend-Moduls

Bestückungsplan des Frontend-Moduls (Bauteilwerte und Bezeichnungen)

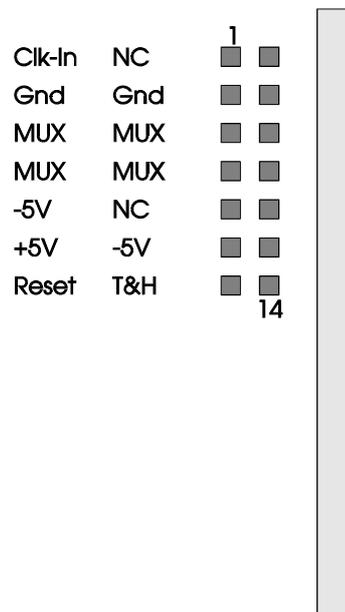


- P1 Potentiometer zur Verstärkungseinstellung
- P2 Potentiometer zur Offsettingstellung
- J1 Modul-Bus-Stecker (Eingang)
- J2 Modul-Bus-Stecker auf Lötseite (Ausgang)
- J3 Anschluß für AMPLEX-Ansteuerung

Anschlußbelegung der Modul-Bus-Stecker J1 und J2

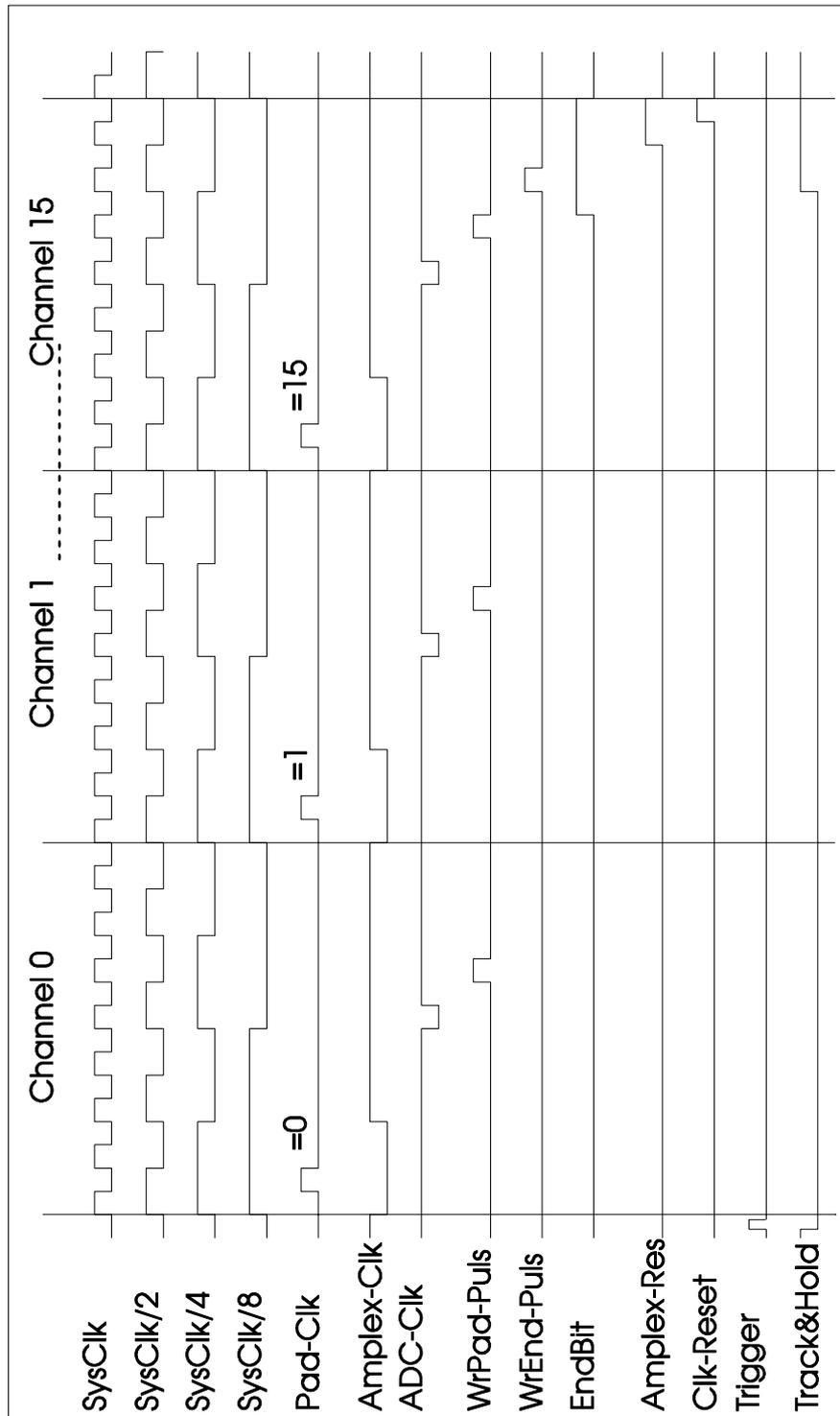


Anschlußbelegung des Steckers zur AMPLEX-Ansteuerung J3

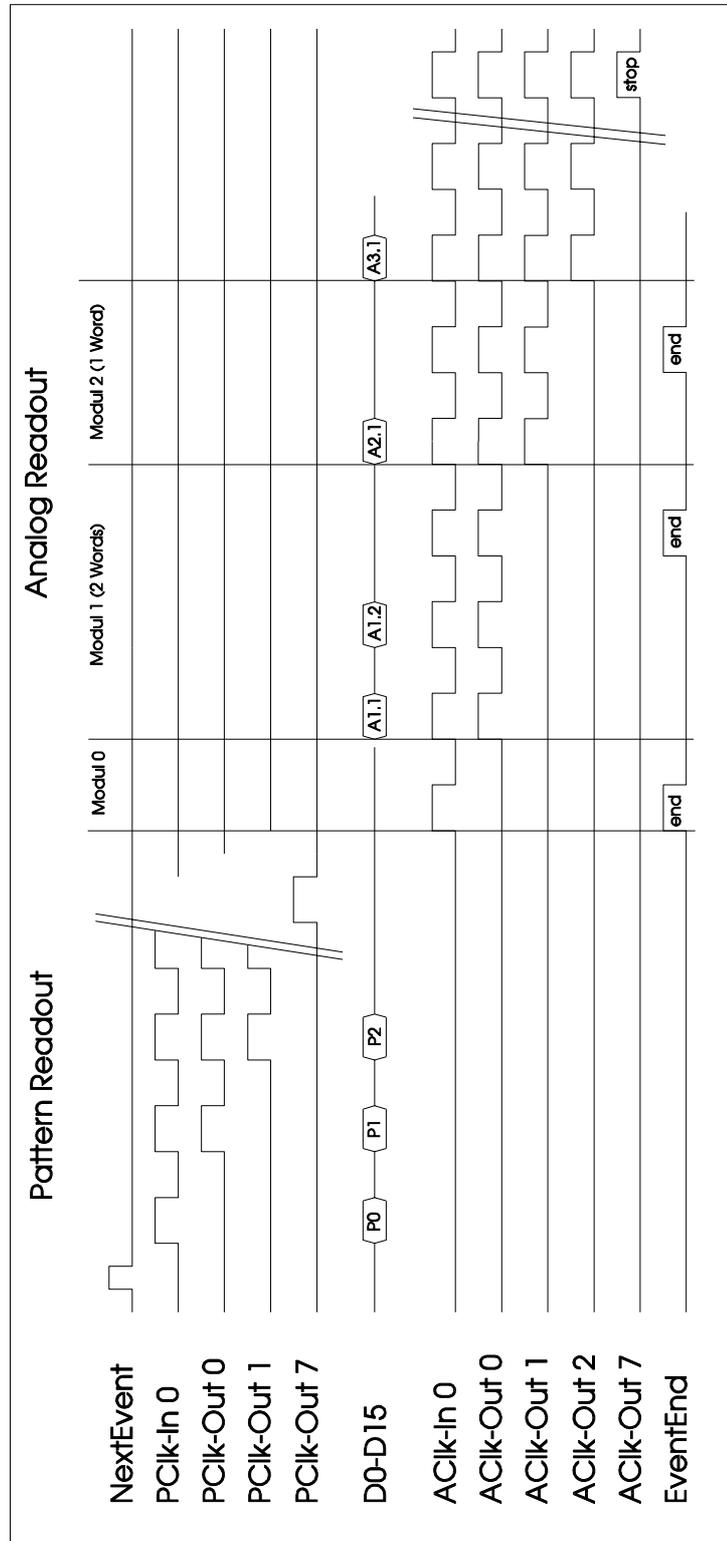


### C. Timing des Frontend-Moduls

Timing während der Datenaufnahme



Timing während der Datenauslese



## Abbildungsverzeichnis

2.1	Schnittansicht des RICH-Detektors	3
2.2	Aufteilung des Photonendetektors in Segmente	4
2.3	Typisches Ansprechmuster der Pads für einen zentralen Au+Au-Stoß mit 1 AGeV	5
2.4	Aufbau des Gesamtsystems zur Auslese des HADES-RICH-Detektors	7
2.5	Aufbau des Auslesesystems für ein Detektorsegment	8
2.6	Aufbau des Auslesesystems für eine Pad-Gruppe	9
2.7	Funktionsblöcke des Frontend-Moduls	11
2.8	Zusammenschaltung mehrerer Frontend-Module zu einer "Daisy-Chain"	12
2.9	Aufbau des Daten-Konzentrators	13
2.10	Aufbau des Zentralmoduls	14
2.11	Aufbau des Trigger-Prozessors	15
3.1	Verteilung der Funktionsblöcke des Frontend-Moduls auf Bauteile	18
3.2	Prototyp des Frontend-Moduls	21
3.3	Aufbau des AMPLEX-Chips	22
3.4	Signalverlauf im AMPLEX	23
3.5	Schaltplan des 2-Bit-Zählers	25
3.6	Aufteilung des 2-Bit-Zählers in einem FPGA-Baustein	26
3.7	Konfigurationsablauf bei serieller Übertragung an ein Xilinx-FPGA	27

<i>Abbildungsverzeichnis</i>	65
3.8 Steuersequenz für das Schreiben und Rücklesen von Schwellendaten in zwei hintereinandergeschaltete Frontend-Module	28
3.9 Impulsfolge zur Datenaufnahme mit dem AMPLEX-Chip	29
3.10 Impulsfolge zur Pattern-Auslese bei zwei verketteten Frontend-Modulen	30
3.11 Impulsfolge zur Pulshöhenauslese bei zwei verketteten Frontend-Modulen, die keine Information liefern	30
3.12 Impulsfolge zur Pulshöhenauslese bei zwei verketteten Frontend-Modulen, die Information liefern	31
4.1 Anordnung der Streifenzähler	33
4.2 Aufbau des zweidimensional ortsauflösenden Detektorsystems	34
4.3 Komplett montiertes Detektorsystem mit Fuß	35
4.4 System zur Datenauslese mit einem PC	36
4.5 Erzeugung des Triggers aus dem Rückseitensignal der Streifenzähler	36
4.6 Lage des Detektorsystems in der Streukammer	37
4.7 Verteilung der Ereignisse auf die Streifen der vier Zähler	39
4.8 Zweidimensionale orts aufgelöste Darstellung der Koinzidenzen	40
5.1 FPGA-Prototyp-Platine für den VME-Bus	43

## Literaturverzeichnis

- [1] HADES collaboration (Sprecher W. Kühn), HADES Letter of intent
- [2] HADES collaboration (Sprecher W. Kühn), HADES Design study, Dezember 1992
- [3] M. French et al., A fast integrated readout system for a cathode pad photon detector, NIM A324 (1993), 511-534
- [4] F. Piuz, Operation of AMPLEX with DRAMS and Controlcard, CERN/EF, Oktober 1989
- [5] HADES collaboration (Sprecher W. Kühn), HADES - Proposal for a High-Acceptance Di-Electron Spectrometer (draft)
- [6] K. Hitschler, Der VMEbus, in: ELRAD Magazin für Elektronik und technische Rechneranwendungen, 11/1991
- [7] W.D. Petterson, The VMEbus Handbook, VITA VFEA International Trade Association, 1991
- [8] P. Fischer, Die Padauslese des CERES-Experiments, Dissertation, Universität Heidelberg, 1992
- [9] W. Buttler et al., Low noise-low power monolithic multiplexing readout electronics for silicon strip detectors, NIM A273 (1988), 778-783
- [10] Texas Instruments, Linear Circuits Data Book Volume 3, 1992
- [11] Linear Technology, Linear Databook, 1990
- [12] Philips Semiconductors, Product Specification TDA8703/8703T, Februar 1992
- [13] Xilinx, The Programmable Logic Data Book, 1994
- [14] Cypress Semiconductors, High Performance Data Book, August 1993

- [15] E. Beuville et al., AMPLEX, a low-noise, low-power analog CMOS signal processor for multi-element silicon particle detectors, NIM A288 (1990), 157-167
  
- [16] J.C. Santiard, Persönliche Mitteilung, Oktober 1994
  
- [17] F. Klefenz, R. Zoz, K.-H. Noffz, R. Männer, The ENABLE Machine - A Systick Second Level trigger Processor for Track Finding, Proc. Comp. in High Energy Physics, Annecy, CERN Report 92-07 (1992) 799