



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

---

# INSTITUT FÜR KERNPHYSIK

---

Peter W. Zumbruch

Entwicklung und Aufbau eines Teststandes  
zur automatisierten Qualitätskontrolle der  
HADES-Driftkammer-Analogausleseelektronik

Diplomarbeit

durchgeführt bei der  
Gesellschaft für Schwerionenforschung, Darmstadt

Juli 1998



Entwicklung und Aufbau eines Teststandes  
zur automatisierten Qualitätskontrolle der  
HADES-Driftkammer-Analogausleseelektronik

Diplomarbeit

Peter W. Zumbruch

Institut für Kernphysik  
Technische Universität Darmstadt

durchgeführt bei der  
Gesellschaft für Schwerionenforschung, Darmstadt

Juli 1998



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>MDC – Die HADES-Driftkammern</b>	<b>7</b>
2.1	MDC – Multiwire Drift Chamber . . . . .	7
2.2	Driftkammerphysik . . . . .	12
2.3	Messungen am MDC-Prototyp 0.1 . . . . .	17
<b>3</b>	<b>Signal-Auslese</b>	<b>25</b>
3.1	Auslesekonzept . . . . .	27
3.2	Analogkarte . . . . .	27
3.2.1	Anforderungen und Konsequenzen . . . . .	27
3.2.2	Technische Umsetzung — Integrierte Logik: Der ASD8-ASIC . . . . .	30
3.2.3	ASD8-Daughterboard . . . . .	31
3.3	Digitalteil . . . . .	32
3.3.1	TDC . . . . .	32
3.3.2	Umsetzung im Motherboard . . . . .	34
3.4	Auslese und Datenreduktion auf höherer Ebene . . . . .	35
3.5	Massenproduktion . . . . .	36
<b>4</b>	<b>Teststand</b>	<b>37</b>
4.1	Anforderungen . . . . .	37
4.2	Konzeption . . . . .	39
4.3	Die Umsetzung . . . . .	41
4.3.1	Signalgenerator . . . . .	41
4.3.2	<i>DOBOT</i> — DBO-Testboard . . . . .	43
4.3.3	Readout-Controller . . . . .	45
4.3.4	LabVIEW <sup>TM</sup> als Oberfläche . . . . .	47
<b>5</b>	<b>Inbetriebnahme und Messungen</b>	<b>49</b>
5.1	Inbetriebnahme . . . . .	49
5.1.1	PC-Readout-Controller ROC & DOBOT . . . . .	49

5.1.2	Signalgenerator . . . . .	52
5.1.3	Das Gesamtsystem . . . . .	55
5.2	Messungen . . . . .	56
5.2.1	Kalibration mit externem Puls . . . . .	56
5.2.2	interne Kalibration des TDC . . . . .	60
<b>6</b>	<b>Erste Ergebnisse</b>	<b>63</b>
<b>7</b>	<b>Zusammenfassung und Ausblick</b>	<b>69</b>
<b>A</b>	<b>Schaltpläne</b>	<b>71</b>
<b>B</b>	<b>LabVIEW<sup>TM</sup>-Oberflächen</b>	<b>87</b>
<b>C</b>	<b>LabVIEW<sup>TM</sup>-Betrieb</b>	<b>93</b>
C.1	Kalibrationen – intern & extern . . . . .	93
C.2	TDC-Operationen . . . . .	95
C.2.1	Grundprinzipien . . . . .	95
C.2.2	Funktionsabläufe auslösen . . . . .	98
C.2.3	„Alles zu Fuß“ — Einzelschritt-Verfahren . . . . .	99
<b>D</b>	<b>Betriebsdaten</b>	<b>101</b>
<b>E</b>	<b>Fachbegriffe und Abkürzungen</b>	<b>103</b>

# Abbildungsverzeichnis

1.1	3D-Ansicht des HADES-Spektrometers . . . . .	2
1.2	Schnitt durch das HADES-Spektrometer . . . . .	3
2.1	MDC-Tracking . . . . .	7
2.2	Abmessungen der MDC-Modultypen . . . . .	8
2.3	Anordnung der MDC-Signaldrahtebenen . . . . .	10
2.4	Äquipotentiallinien innerhalb einer MDC-Driftzelle . . . . .	14
2.5	Simulierter Driftkammerpuls . . . . .	15
2.6	Durchgang eines Teilchens durch eine Driftzelle . . . . .	16
2.7	Signale am Prototypen 0.1 . . . . .	17
2.8	Versuchsaufbau nach dem Prinzip des „Selftrackings“ . . . . .	18
2.9	Bestimmung der Ortsauflösung mit dem „Selftracking-Verfahren“ . . . . .	20
2.10	Auflösung des Driftkammer-Prototypen 0.1 . . . . .	22
2.11	Nachweiseffizienz des Driftkammer-Prototypen 0.1 . . . . .	23
3.1	„ <i>Time above threshold</i> “ . . . . .	29
3.2	Blockschema des ASD8 . . . . .	30
3.3	Prototypversion des Daughterboards, (JINR, Dubna) . . . . .	31
3.4	Finale Version des Daughterboards . . . . .	31
3.5	MDC-Readout-Konzept . . . . .	35
4.1	Konzeption des Daughterboard-Teststandes . . . . .	39
5.1	Control-Daten schreiben, 60 ns Taktzyklus . . . . .	50
5.2	Control- und Hitdaten lesen, 40 ns Taktzyklus . . . . .	51
5.3	Zeit-Daten lesen, 40 ns Taktzyklus . . . . .	51
5.4	Signale des Signalgenerator . . . . .	52
5.5	Signalgenerator, Einstreuungen . . . . .	53
5.6	Tiefpaßlösung für den Signalgenerator . . . . .	54
5.7	Ablaufplan der externen Kalibration des TDCs . . . . .	57
5.8	externe Kalibration, 900ns, Ausschnitt . . . . .	58
5.9	externe Kalibration, 600 ns, 900 ns und 1200 ns, Übersicht . . . . .	59
5.10	Interne Kalibration - Meßprinzip . . . . .	60

5.11	Interne Kalibration, Ausschnitt . . . . .	61
5.12	Interne Kalibration, Übersicht . . . . .	61
6.1	Auflösung des TDC-Meßkreises für externen 600ns- und 900ns-Kalibrationszyklus . . . . .	64
6.2	Auflösung des TDC-Meßkreises für externen 1200ns-Kalibrationspuls	65
6.3	Auflösung interne Kalibration . . . . .	66
6.4	Hit-Differenzen . . . . .	67
A.1	Stromlaufplan Daughterboard „Dubna“, neu . . . . .	72
A.2	Abmessungen vom Daughterboard, erste Version . . . . .	73
A.3	Stromlaufplan Signal-Generator, Analogteil, Seite 1 . . . . .	74
A.4	Stromlaufplan Signal-Generator, Analogteil, Seite 2 . . . . .	75
A.5	Stromlaufplan Signal-Generator, Digitalteil, Seite 1 . . . . .	76
A.6	Stromlaufplan Signal-Generator, Digitalteil, Seite 2 . . . . .	77
A.7	Stromlaufplan Signal-Generator, Digitalteil, Seite 3 . . . . .	78
A.8	Stromlaufplan Signal-Generator, Digitalteil, Seite 4 . . . . .	79
A.9	Konzept des Readout-Controllers . . . . .	80
A.10	Readout-Controller mit Funktionsgruppen . . . . .	81
A.11	Layout DOBOT . . . . .	82
A.12	Stromlaufplan DOBOT, Seite 1 . . . . .	83
A.13	Stromlaufplan DOBOT, Seite 2 . . . . .	84
A.14	Stromlaufplan AHTDC . . . . .	85
B.1	Screenshot der LabVIEW <sup>TM</sup> -Oberfläche von FFM.VI . . . . .	88
B.2	Screenshot der LabVIEW <sup>TM</sup> -Oberfläche von TDC.VI . . . . .	89
B.3	Screenshot des LabVIEW <sup>TM</sup> -Diagramm von TDC.VI . . . . .	90
B.4	Screenshot der LabVIEW <sup>TM</sup> -Oberfläche von CALIBRA- TECHANNEL.VI . . . . .	91
B.5	Screenshot der LabVIEW <sup>TM</sup> -Oberfläche von CALIBRA- TECHANNEL.VI . . . . .	92
C.1	Anzahl große Umläufe . . . . .	93
C.2	Kalibration: Optionen . . . . .	93
C.3	Dateipfad der Kalibrationsdaten . . . . .	94
C.4	Bedienfläche für verschieden Darstellungsmodi . . . . .	94
C.5	ROC-Steuerregister . . . . .	96
C.6	TDC-Datenstruktur . . . . .	97
C.7	TDC.VI: Eingabemaske FIFO-Daten . . . . .	98
C.8	TDC.VI: Auswertung Steuerregisterdaten . . . . .	99
C.9	TDC.VI: Direkte Eingabe . . . . .	99

# Tabellenverzeichnis

2.1	Abmessungen der vier MDC-Module . . . . .	9
2.2	Primäre und totale Elektronenzahl bei Ar-CH <sub>4</sub> und He-iC <sub>4</sub> H <sub>10</sub> . .	13
2.3	Signalcharakteristika der Driftkammersignale . . . . .	17
6.1	Auflösung $\text{res}_{\text{TDC}}$ des TDC-Meßkreises . . . . .	63
C.1	Kalibration: Optionen . . . . .	94
C.2	ROC-Funktionsaufrufe . . . . .	96



# Kapitel 1

## Einleitung

Zur Zeit wird an der Gesellschaft für Schwerionenforschung (GSI) in Darmstadt-Wixhausen am dortigen SIS, dem **SchwerIonen-Synchrotron**, das Dileptonen-Spektrometer HADES, **H**igh **A**cceptance **D**i**E**lectron **S**pectrometer, aufgebaut. Aufgabe dieses Dileptonen-Spektrometers wird es sein, Elektron-Positronpaare aus zentralen Kern-Kern-Stößen, sowie solche aus pionen- und protoninduzierten Reaktionen, [Sch96], zu spektroskopieren [Str95, HAD94]. Ziel dieses Experiments ist u.a. die Spektroskopie mesonischer Zustände in Kernmaterie bei erhöhter Kernmateriedichte vom 2-3-fachen der Grundzustandsdichte sowie die Untersuchung spezieller Aspekte elektromagnetischer Formfaktoren von Hadronen. Dazu sollen die leptonischen Zerfälle dieser Vektormesonen betrachtet werden. Da diese Zerfallsprodukte nicht der starken Wechselwirkung unterliegen, können sie die Reaktionszone ungestört verlassen und so die primäre Information zu den Detektoren tragen.

HADES wurde mit Hilfe von Simulationsrechnungen so konzipiert [Sch95], daß es die Anforderungen, die bei zentralen Au+Au-Kollisionen mit Raten von  $10^5$  pro Sekunde auftreten, erfüllen kann. Dabei wird eine Massenauflösung für  $e^-e^+$ -Paare im Bereich der Massen der  $\rho$ - und  $\omega$ -Mesonen (770 bzw. 782 MeV/ $c^2$ ) von weniger als 1% angestrebt.

Das Detektorsystem (siehe hierzu Abbildungen 1.1 und 1.2) ist symmetrisch um die Strahlachse aufgebaut. Es besteht aus einem ringabbildenden Cherenkov-Zähler (RICH), der durch geeignete Wahl des Radiatorgases für Hadronen unempfindlich („hadronenblind“) ist. Daran schließt sich der supraleitende Magnet an. Sein toroidiales Feld lenkt die Leptonen idealerweise nur in  $\theta$ -Richtung ab und ist so gestaltet, daß der RICH in seinem Innern feldfrei bleibt. Die Anordnung seiner Spulenkästen bestimmt im wesentlichen die Geometrie der anderen Detektorgruppen. Vor und hinter dem Magneten befinden sich zur Spurverfolgung jeweils zwei Ebenen planarer Driftkammern (MDC, Multiwire Drift Chambers). Hinter diesem Komplex folgen die äußeren Nachweissysteme des META, des Multiplicity

Electron Trigger Arrays. Über den gesamten Polarwinkelbereich von  $18^\circ - 85^\circ$  erstreckt sich die Flugzeitwand (TOF), die im inneren Winkelbereich  $\theta < 45^\circ$  durch einen Schauerdetektor komplettiert wird, da in diesem Abschnitt die Leptonenidentifizierung allein über die Flugzeit nicht möglich ist. Azimutal deckt das Spektrometer den vollen Bereich von  $2\pi$  ab. Es erreicht damit eine geometrische Akzeptanz von  $\approx 40\%$ .

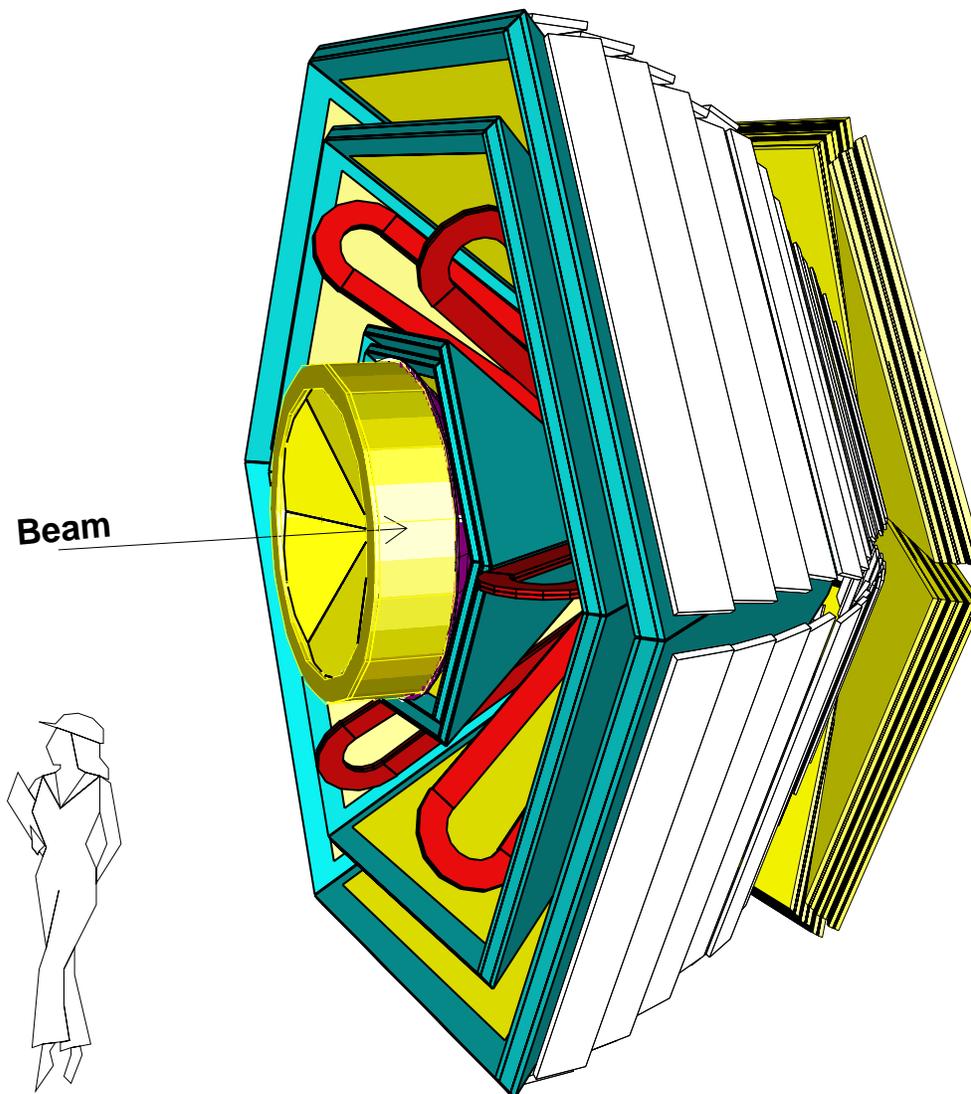


ABBILDUNG 1.1: 3D-Ansicht des HADES-Spektrometers

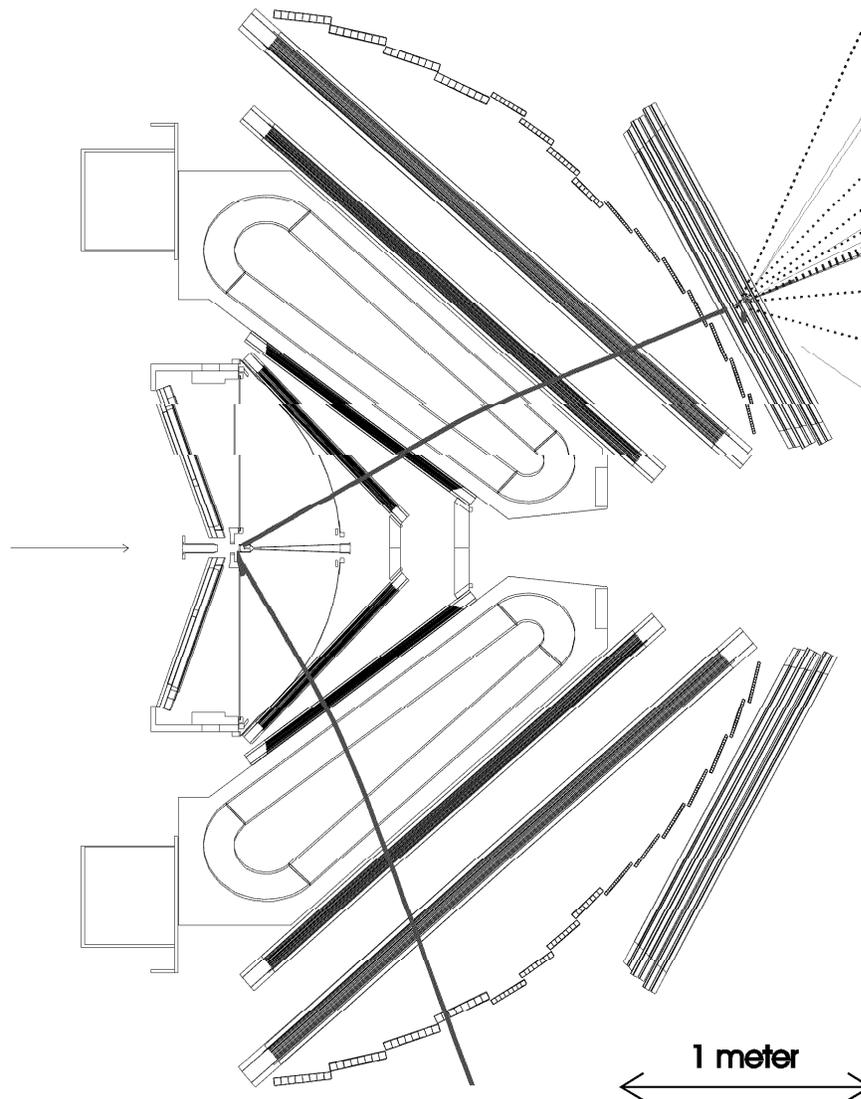


ABBILDUNG 1.2: Schnitt durch das Spektrometer [Kön98]. Zu sehen sind die Detektoreinheiten und ihre Lage bezüglich der Strahlachse (Beam). Links ist der ringabbildende Cherenkov-Zähler (RICH) angeordnet, der das segmentierte Target umgibt. Vor und hinter dem supraleitenden, toroidialen Magneten (Coil) befinden sich jeweils zwei Ebenen der Multiwire-Driftkammern (MDC). Daran schließt sich das Detektorsystem META an, bestehend aus der Flugzeitwand (TOF) und dem Schauerdetektor (Shower). Überlagert sind zusätzlich die Spuren eines Elektron-Positron-Paares aus einem  $\omega$ -Zerfall, die aus den Simulationsrechnungen mit GEANT zur ersten Version des Detektors entstammen [Sch95]. (Zur aktuellen liegen noch keine Simulationsrechnungen vor). Hierbei wird das Positron zur Strahlachse gelenkt und löst im Schauerdetektor einen charakteristischen Schauer aus. Das Elektron hingegen wird vom Zentrum weg gelenkt und passiert den äußeren Bereich der Flugzeitwand.

Um die Anforderung der Massenauflösung von 1% für Dileptonenpaare zu erfüllen, müssen die Driftkammern zur Spurverfolgung vor und hinter dem Magneten eine intrinsische Ortsauflösung in der Größenordnung von  $140 \mu\text{m}$  aufweisen. Wegen der hohen Multiplizitäten geladener Teilchen, die bei einem zentralen Stoß zweier schwerer Kerne (Au+Au) eintreten, muß das System zur eindeutigen Identifizierung der Spuren ein sehr hohe Granularität besitzen. Aus diesen Überlegungen folgt, daß allein die Driftkammern 26000 Driftzellen umfassen. Die Verarbeitung der Signale — Verstärkung, Signalformung, Diskriminierung und Digitalisierung — geschieht direkt am Detektor. Bei der großen Anzahl von Kanälen ist dies mit konventioneller Elektronik nicht mehr durchführbar. Deshalb greift man auf integrierte Schaltkreise zurück, die in einem Mutterplatine-Tochterplatine-Konzept direkt auf den Rahmen der Driftkammern untergebracht sind. Jede einzelne Tochterplatine verarbeitet die analogen Signale von 16 Kanälen parallel und reicht diese dann an die Mutterplatine weiter, die zwischen 4 bis 6 dieser Karten aufnimmt und deren Daten vor Ort digitalisiert.

Bei all diesen elektronischen Komponenten kommt man in (klein)industrielle Größenordnungen von  $\approx 1600$  Tochterplatinen und  $\approx 350$  Mutterplatinen. Das bedeutet, daß die unbedingt notwendigen Funktionsprüfungen und das Erfassen relevanter Parameter all dieser Teile vor dem Einbau in das Endsystem praktisch nicht mehr von Hand durchgeführt werden können.

Im Rahmen dieser Diplomarbeit wurde für die Analogverstärkerkarten ein Teststand entwickelt und aufgebaut. In einem halbautomatischen Verfahren können damit diese Komponenten auf ihre Funktionsfähigkeit getestet werden. Der Aufbau ist einfach zu bedienen und verlangt vom Bediener keine Fachkenntnisse. Darüber hinaus werden relevante Eigenschaften ermittelt:

- Zeitauflösung der Elektronik
- Signal-zu-Rausch-Verhältnis der Karte
- Übersprechverhalten der einzelnen Kanäle
- Doppelpulsauflösung

Zusätzlich werden alle Daten gespeichert, so daß, bei Bedarf, für jede Karte ein eigenes Datenblatt erstellt werden kann.

Die Arbeit ist folgendermaßen gegliedert:  
Zunächst werden die HADES-Driftkammern MDC betrachtet (Kapitel 2.1). Anhand dieser werden prinzipielle Eigenschaften der Driftkammerphysik und die Signalcharakteristik speziell im Falle von „low-mass“-Driftkammern basierend auf

Helium diskutiert (Kapitel 2.2) und im darauffolgenden Abschnitt 2.3 mit Messungen am Prototypen 0.1 belegt. Hieraus ergeben sich Anforderungen an die Ausleseelektronik und deren Anwendungen auf die Gegebenheiten bei HADES in Kapitel 3. Hier werden die eingesetzten Verfahren, Konzepte und Komponenten sowie deren möglichen Alternativen besprochen.

Auf diesen Erkenntnissen aufbauend erfolgt im 4. Kapitel die detaillierte Konzeptionierung und Erstellung des Teststandes für die Analogverstärkerkarten sowie die Beschreibung der einzelnen Komponenten. Inbetriebnahme und erste Messungen folgen im Kapitel 5. Die daraus resultierenden Ergebnisse und Konsequenzen werden im 6. Kapitel behandelt. Der abschließende Abschnitt 7 faßt die Ergebnisse nochmals zusammen und gibt einen Ausblick. Im Anhang befinden sich detaillierte Informationen zu Stromlaufplänen, Bedienvorschriften und Betriebsdaten. Eine Tabelle der verwendeten Abkürzungen und Fachbegriffe befindet sich ebenfalls dort.



# Kapitel 2

## MDC – Die HADES-Driftkammern

### 2.1 MDC – Multiwire Drift Chamber

Die 24 Driftkammern, MDC, bilden zusammen mit dem supraleitenden Magneten das Magnetspektrometer von HADES. Dieses dient zur Impulsbestimmung von geladenen Teilchen. Damit dies weitestgehend unabhängig von Wechselwirkungen, z.B. Vielfachstreuung, im RICH geschehen kann (siehe Abbildung 2.1) werden jeweils zwei Kammerebenen vor und hinter dem Feld positioniert.

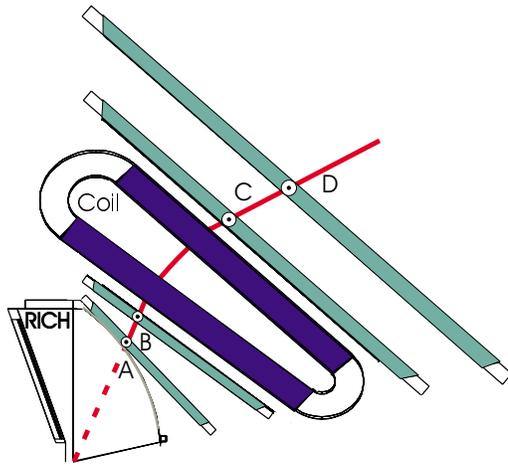


ABBILDUNG 2.1: Verfahren zum Bestimmen des Impulsübertrags. Bei Kenntnis der Flußdichte des Magneten, kann aus dem Winkel zwischen den Geraden  $\overline{AB}$  und  $\overline{CD}$  dieser bestimmt werden. Die genaue Kenntnis des Targetpunktes ist dazu nicht erforderlich. Prozesse innerhalb vom RICH haben somit keinen Einfluß auf die Impulsmessung

Die Geometrie der einzelnen Driftebenen ist durch die des Magneten und seiner Feldspulen in 6 trapezförmige Sektoren vorgeben. Hierbei werden, um die Akzeptanz nicht zu mindern, die Driftkammermodule so plaziert und bemessen, daß sich ihre Rahmen im Schatten der Spulenkästen des Magneten befinden. Es ergeben sich 24 Kammern für den gesamten Detektor, mit sechs gleich großen Modultypen pro Ebene und jeweils vier unterschiedlichen Modulgrößen für die Ebenen I (innen) bis IV (außen). In Abbildung 2.2 und Tabelle 2.1 sind die Kammern skizziert und ihre Abmessungen aufgeführt.

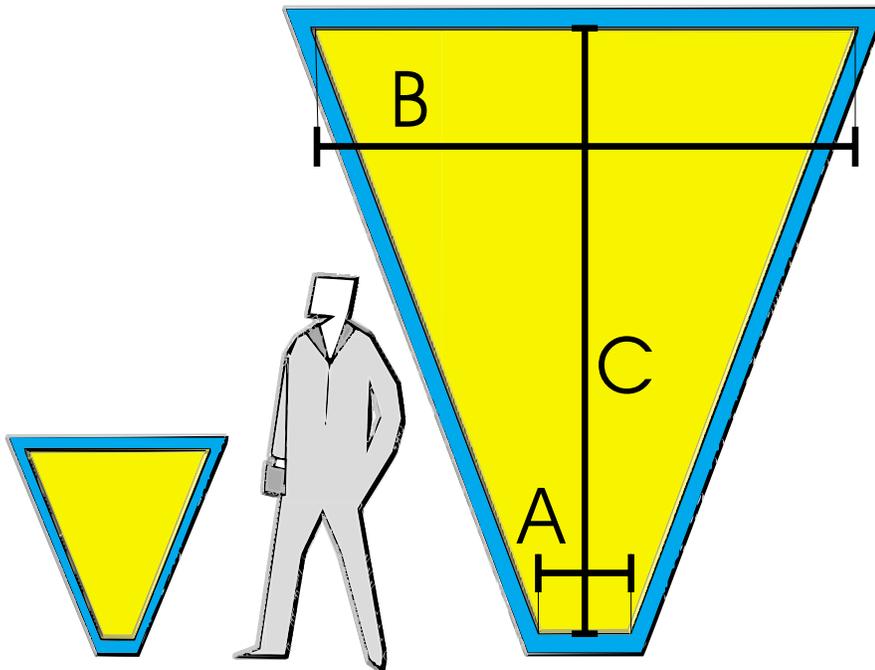


ABBILDUNG 2.2: Abmessungen der MDC-Modultypen. Maßstabsgerecht dargestellt sind jeweils der kleinste (Ebene I) und der größte Typ (Ebene IV).

Simulationsrechnungen [Sch95] ergaben, daß bei einer zentralen Au+Au-Reaktion bei einer Einschußenergie von 1 AGeV im Mittel 25 geladene Teilchen pro Sektor emittiert werden. Dies geschieht bei einer angestrebten Rate von  $10^6$  Ereignissen pro Sekunde mit einer Wahrscheinlichkeit von 10%. Die Driftzellen sind in ihren Abmessungen so ausgelegt, daß sie diesen Raten standhalten können. D.h. die Driftzellen sind so gewählt, daß ihre Totzeit unter  $10\mu\text{s}$  liegt. Desweiteren sind die Abmessungen so gewählt, daß die Module in allen vier Ebenen eine gleichbleibende Granularität besitzen. Ziel dabei ist, die Kammern pro Reaktion mit ca. 0.1–0.2 geladenen Teilchen pro Driftzelle zu belegen. Pro Ebene ergeben sich so ca. 180 Driftzellen. So beträgt die Driftzellengröße der innersten Kammerebene I  $5\text{mm} \times 5\text{mm}$ . Die Werte der weiter außen liegenden Kammern

Ebene	A [mm]	B [mm]	C [mm]	Zellhöhe [mm] × Drahtabstand [mm]	
I	139	767	778	5 × 5	<i>innere</i>
II	205	905	997	5 × 6	Kammern
III	310	1805	2004	8 × 12	<i>äußere</i>
IV	345	2224	2520	10 × 14	Kammern

TABELLE 2.1: Abmessungen der vier verschiedenen MDC-Modultypen, (A, B, C, siehe Abbildung 2.2) und Abmessungen der Driftzellen der verschiedenen Ebenen. Hierbei ist die Zellhöhe der Abstand der Kathodenebenen, die die einzelnen Signaldrahtebenen gegeneinander abgrenzen und der Drahtabstand der Abstand der Signaldrähte (Anodendrähte) innerhalb einer Ebene.

führen zu einer gleichbleibenden konstanten Granularität, können aber entsprechend größer gewählt werden. Die Daten für alle vier Ebenen finden sich ebenfalls in Tabelle 2.1.

Wenn ein geladenes Teilchen eine einzelne Driftzelle passiert, kann anhand dieses einzelnen Signals nur der radiale Abstand vom Signaldraht ermittelt werden. Zur eindeutigen Rekonstruktion des Durchgangsortes durch die Kammer sind mindestens drei Driftzeiten aus Ebenen mit unterschiedlichen Orientierungen der Signaldrähte zueinander notwendig. Doppeltreffer innerhalb der Doppelpulsauflösung einer Driftzelle ergeben Rekonstruktionsverluste. Die Doppelpulsauflösung wird durch interne Eigenschaften der Driftkammer, u.a. der Driftgeschwindigkeit, und externen Eigenschaften, z.B. der Zeitauflösung der Ausleseelektronik, bestimmt. Im Fall von HADES entspricht die Doppelpulsauflösung im Bereich der inneren Kammern einer Distanz von  $\approx 3$  mm. Bei einer inneren Driftkammer mit nur vier Ebenen ergeben sich solche Verluste bei 25 geladenen Teilchen pro zentraler Au-Au-Reaktion und Sektor mit einer Wahrscheinlichkeit von  $\approx 10\%$  [Sch95]. Erhöht man die Anzahl der Ebenen auf sechs, so lassen sich zu einer Spur mit  $\approx 98\%$  Sicherheit immer drei korrespondierende Driftzellen in verschiedenen Ebenen finden, durch die jeweils nur ein einziges geladenes Teilchen geflogen ist. Die sechs Signaldrahtebenen der Driftkammern nehmen vom Target aus gesehen die folgenden Drahtwinkel ein (Siehe Abbildung 2.3):

$$+40^\circ, -20^\circ, +0^\circ, +0^\circ, +20^\circ \text{ und } -40^\circ$$

Die  $0^\circ$ -Ebenen sind um eine halbe Zelle gegeneinander versetzt angeordnet. Zwischen den Signaldrahtebenen liegen jeweils um  $90^\circ$  gegen die Horizontale gedreht die Kathodendrahtebenen. So ergeben sich pro Kammer insgesamt 13 Drahtebenen.

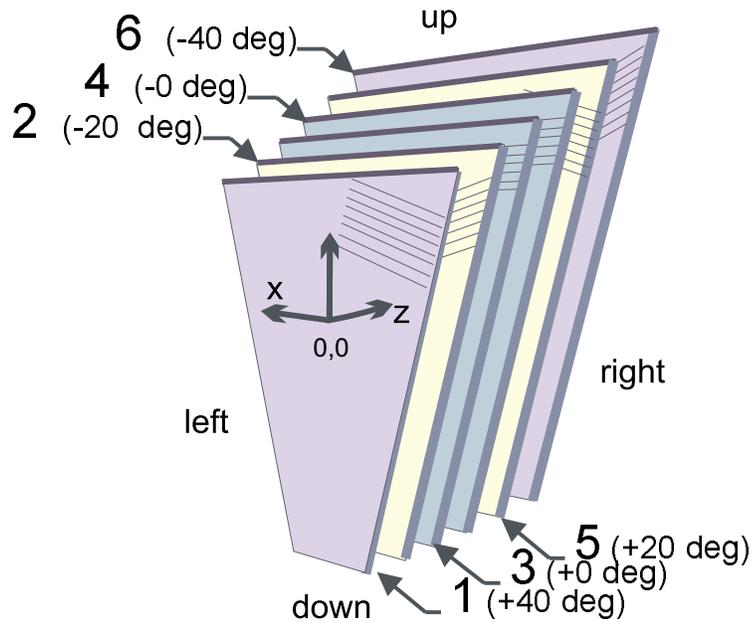


ABBILDUNG 2.3: Anordnung der MDC-Signaldrahtebenen

Die hohe Anzahl der Drahtebenen pro Modul ist darüber hinaus entscheidend für die geforderte Ortsauflösung der Kammern. So verbessert die obige Anordnung der Lagen in verschiedenen Winkeln zur Horizontalen die Auflösung des gesamten Moduls in die durch das toroidiale Magnetfeld bevorzugte, günstige Richtung des Polarwinkels und verschlechtert sie in die azimuthale Richtung. Jede einzelne Signaldrahtebene erreicht senkrecht zur Orientierung der Drähte eine optimale Ortsauflösung von  $\sigma_w \simeq 70 - 100 \mu\text{m}$  [Gar97, GSI98]. Mit einer Wahrscheinlichkeit von  $\approx 90\%$  stehen bei 5 von 6 Ebenen die zu einer Trajektorie korrespondierenden Driftzellen zur Rekonstruktion zur Verfügung, weil diese von nur einem Teilchen durchquert wurden. Mit dieser hohen Redundanz ergibt sich im Mittel [Sch95] die Auflösung eines gesamten Moduls mit sechs Ebenen in seiner y-Richtung, polar, von

$$\sigma_y \simeq 0,49 \sigma_w \simeq 35 - 50 \mu\text{m}$$

und in seiner x-Richtung, azimuthal,

$$\sigma_x \simeq 1,16 \sigma_w \simeq 85 - 120 \mu\text{m}.$$

Eine weitere und herausragende Besonderheit der MDCs ist ihr „low-mass“-Konzept, d.h. ihre geringe Massenbelegung. Um Verluste durch Vielfachstreuung zu minimieren, verfolgt man die Philosophie, so wenig Materie wie möglich den Leptonen zum Nachweis in den Weg zu stellen bzw. nur solches mit einer entsprechend großen Strahlungslänge  $X_0$ . So bestehen Kathoden- und Felddrähte aus  $80 \mu\text{m}$  dünnen Aluminium-Drähten ( $X_0(\text{Al}) = 24 \text{ cm}$ ) und nur die Anodendrähte sind aus dem sonst üblichen (goldbeschichteten) Wolfram ( $X_0(\text{W}) = 0,35 \text{ cm}$  [PF96]) gefertigt.

Statt des bei herkömmlichen Driftkammern üblichen Gasgemisches basierend auf Edelgasen mit höherer Kernladungszahl, wie z.B. Ar-CH<sub>4</sub> oder Ar-C<sub>2</sub>H<sub>6</sub> wird in den HADES-MDCs ein Gasgemisch von Helium und Isobutan im Volumenverhältnis 60:40 verwendet. Argon-Mischungen besitzen, abhängig vom Mischungsverhältnis, Strahlungslängen von  $\approx 120\text{--}140 \text{ m}$  [SS94]. Die He-C<sub>4</sub>H<sub>10</sub>-Mischung hingegen erreicht weitaus bessere Werte von  $\approx 400 \text{ m}$ . Mehr hierzu im nächsten Abschnitt.

## 2.2 Driftkammerphysik

Anhand der speziellen hohen Anforderungen und Vorgaben der Driftkammern von HADES bzgl. Gasgemisch und Geometrie wird in diesem Abschnitt auf die zugrunde liegende Driftkammerphysik eingegangen.

### Primär- und Sekundärionisation

Durchquert ein geladenes Teilchen eine Driftzelle, so ionisiert es entlang seiner Flugbahn in der sogenannten *Primärionisation* die Atome und Moleküle des Füllgas-Gemisches. Dabei entstehen Elektron-Ionen-Paare. Bei genügend hoher Ausgangsenergie des Projektils sind die herausgeschlagenen Elektronen ihrerseits in der Lage, in einer *Sekundärionisation* weitere Gasmoleküle zu ionisieren. Die Anzahl der Elektronen, die in primären  $N_p$  und sekundären  $N_s$  Ionisationen pro Wegstrecke entstehen sind dabei charakteristische Größen für die verwendeten Gasmischungen.

Die MDCs verwenden ein Gasgemisch von 60 Volumenprozent Helium und 40 Volumenprozent Isobutan,  $iC_4H_{10}$ . Hierbei dient das Helium als eigentliches Füllgas und das Iso-Butan übernimmt die Aufgabe des Löschgas-Zusatzes (Quencher). Letzteres schränkt die Ionisation auf einen lokal begrenzten Raum ein und verhindert somit eine globale Entladung über die gesamte Kammer. Bei herkömmlichen Füllgasen, wie z.B. Ar- $CH_4$  oder Ar- $C_2H_6$ , liefert das Basisgas, hier Argon, den Großteil der durch Primär- und Sekundärionisation entstandenen Elektronen. Tabelle 2.2 zeigt das Gemisch 80 : 20 von Ar- $CH_4$  im Vergleich zur in einer MDC-Kammer verwendeten He-Isobutan-Mischung.

Während bei der Argon-Mischung der Großteil der Elektronen vom Argon herrühren, kehren sich bei der Helium-Isobutan-Variante die Verhältnisse um: Die Mehrzahl der primär und sekundär erzeugten Elektronen stammen nicht vom Basisgas Helium, sondern vom Löschgas Isobutan. In der Summe entstehen hier im Mittel genausoviele Elektronen wie bei herkömmlichen Gemischen, aber mit dem entscheidenden Vorteil, daß die Strahlungslänge der „low-mass“-Mischung mit  $X_0 \approx 400$  m etwa dreimal so groß ist wie die eines auf Argon basierenden Gemisches. Hiermit verringert sich damit der in der Impulsauflösung dominante Term der Vielfachstreuung (nach [PF96, 22.6]) um den Faktor  $1/\sqrt{3} \approx 0,6$  :

$$\left\{ \frac{\Delta p_t}{p} \right\} = \frac{13,6 \text{ MeV}}{\beta c p} z \sqrt{\frac{x}{X_0}} \left[ 1 + 0,038 \times \ln \left( \frac{x}{X_0} \right) \right]$$

Hierbei sind  $p$ ,  $\beta c$  und  $z$  der Impuls, die Teilchengeschwindigkeit und Ladung des passierenden Teilchens und  $x/X_0$  die Zahl der Strahlungslängen, die das streuende Medium repräsentieren.

		$N_p$ [cm <sup>-1</sup> ]	$N_t$ [cm <sup>-1</sup> ]
Ar		19,4	75,2
CH <sub>4</sub>		5,3	10,6
$\Sigma$ : Ar-CH <sub>4</sub>	80:20	24,7	85,8
He		2,9	4,8
iC <sub>4</sub> H <sub>10</sub>		33,6	78,0
$\Sigma$ : He-iC <sub>4</sub> H <sub>10</sub>	60:40	36,5	82,8

TABELLE 2.2: Anzahl der primären,  $N_p$ , und totalen,  $N_t$ , Elektronen, die bei der Ionisation durch ein die Driftzelle passierendes Teilchen im Mittel pro durchlaufende Wegstrecke entstehen. Dargestellt sind die anteiligen Einzelbeiträge der Komponenten und deren Summe. Im oberen Teil für ein Gasgemisch bestehend aus 80% Argon und einer 20% Beimischung von Methan, unten für ein Gasgemisch bestehend aus 60% Helium und 40% Isobutan (nach [SS94]).

## Drift

In den MDCs werden die Driftzellen durch Kathodenebenen, die auf einem Potential von  $\approx -2$  kV liegen, unterteilt. Die Anodendrahtebenen liegen auf Erdpotential und befinden sich zwischen den Kathodenebenen. Zwischen den Signaldrähten, den Anodendrähten, liegen in der gleichen Ebene weitere feldformende Felddrähte, die sich ebenfalls auf einem Potential von ungefähr -2 kV befinden. Für eine Driftzelle der Modulebene II ergibt sich die in Abbildung 2.4 gezeigte Feldverteilung. Die in der Primär- und Sekundärionisation entstandenen freien Ladungsträger driften innerhalb des Feldes senkrecht zu den Äquipotentiallinien zu den Elektroden. Dabei sind die Elektronen wegen ihrer geringen Masse schneller am Ziel als die verbliebenen Ionen.

Die Eigenschaft einer Driftkammer geht über die bloße Ereignismessung, daß ein geladenes Projektil eine Driftzelle getroffen hat, hinaus. Mit dieser einfachen Hiterkennung erreichte man für eine Signaldrahtbene der innersten Kammer nur eine Auflösung von  $\sigma_w \approx 2,5$  mm, d.h. des halben Abstandes von einem Signaldraht zum nächsten innerhalb einer Ebene.

Um bei gleichbleibender Zellgröße eine bedeutend höhere Ortsauflösung zu erreichen, greift man auf eine weitere Größe zur Ortsbestimmung innerhalb der Driftzelle zurück: die Driftzeit, d.h. die Zeit, die zwischen dem Durchgang eines Teilchens durch die Driftzelle und der Ankunft der ersten Elektronen am Signaldraht vergeht. Die Feldgeometrie wird dementsprechend so geformt, daß über einen großen Bereich der Zelle ein möglichst homogenes Feld und damit eine annähernd konstante Driftgeschwindigkeit vorherrscht. Im Falle der MDCs liegt

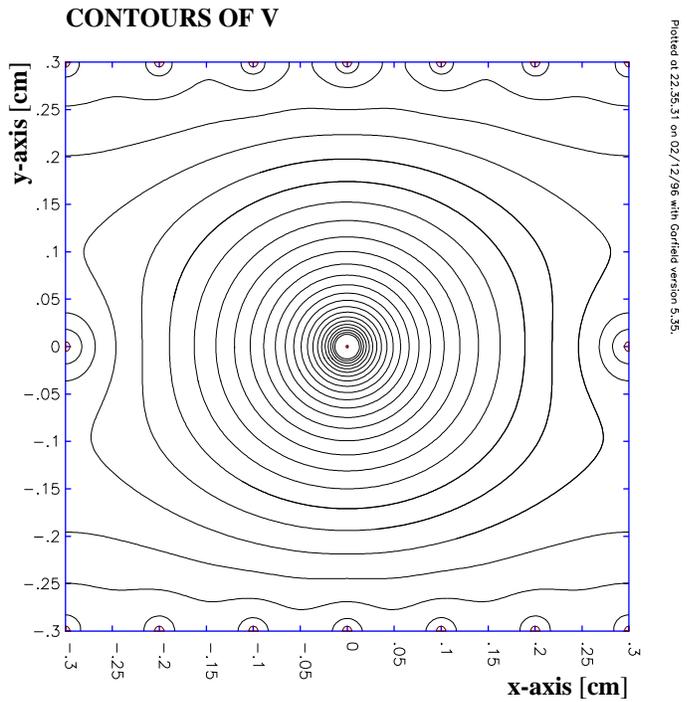


ABBILDUNG 2.4: Äquipotentiallinien innerhalb einer MDC-Driftzelle der Modulebene II. In der Mitte befindet sich der Signaldraht, die Anode. Am oberen und unteren Rand der Zelle liegen die Kathodendrahtebenen. Am linken und rechten Rand sind auf gleicher Höhe zur Anode die Felddrähte lokalisiert. Die Daten entstammen einer GEANT-Simulation [Zen97].

diese im Mittel bei  $4,27 \pm 0,02 \text{ cm}/\mu\text{s}$  [Gar97, GSI98]. Diese Daten gelten für die verwendete Gasmischung von 60 % Helium und 40 % Isobutan. Sie variieren mit der verwendeten Mischung, den eingesetzten Gasen und der angelegten Potentialdifferenz [SS94].

### Gasverstärkung

Während über den größten Teil der Driftstrecke die Feldstärke nur gering zunimmt und damit die Driftgeschwindigkeit annähernd konstant bleibt, ist dies umso weniger der Fall, je näher man dem Anodendraht kommt. In diesem Bereich, etwa 50–100  $\mu\text{m}$  vom Signaldraht entfernt, kann auf Grund der hohen Feldstärken *Gasverstärkung* stattfinden. Die Elektronen werden so stark beschleunigt, daß sie in der Lage sind sehr viele weitere Gasatome zu ionisieren.

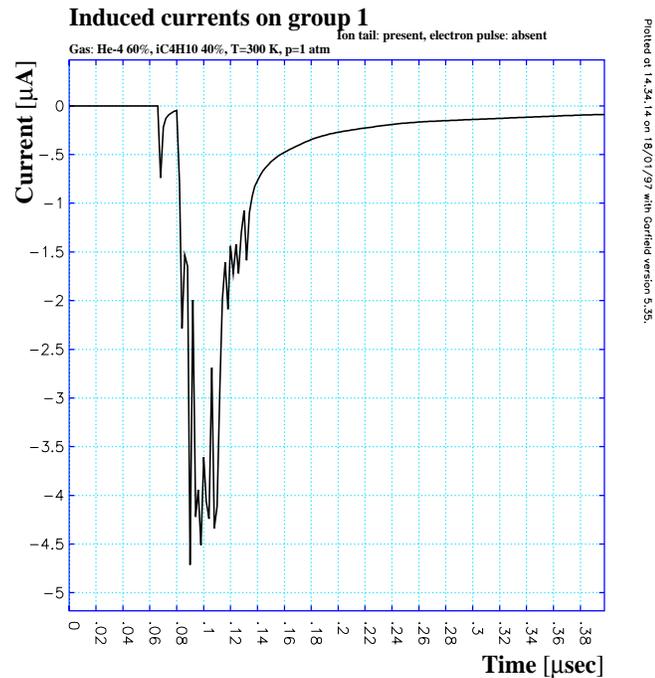


ABBILDUNG 2.5: Mit GEANT simulierter Driftkammerpuls [Zen97]. Deutlich zu sehen sind die beiden Anteile, der schnelle, kleine Elektronenpuls, sowie der große und langausklingende Ionenanteil. Die Strukturen entstammen den verschiedenen Ankunftszeiten der einzelnen Cluster.

Der Verstärkungsfaktor beträgt für die MDCs  $2\text{--}3 \cdot 10^5$  [Gar97]. Es bildet sich um den Anodendraht eine Wolke ionisierten Gases aus. Die Elektronen erreichen bei stark erhöhten Driftgeschwindigkeiten von  $\approx 100\text{--}150 \mu\text{m/ns}$  [Zen97] innerhalb 1 ns den Anodendraht. Es ergibt sich ein kleiner kurzer Puls. Die verbleibenden Ionenrümpfe driften zur Kathode und erzeugen einen  $\approx 3 \mu\text{s}$  langen Puls (siehe Abbildung 2.5). Dieser Vorgang geschieht jedoch nicht kontinuierlich, da sich bei der Ionisation Cluster bilden, die gleichsam gemeinsam den Signaldraht erreichen. Als ein Cluster bezeichnet man Elektronen, die in einem gemeinsamen, primären Ionisationsprozeß entstehen. Sie tragen somit zur selben Ortsinformation bei. Die durchschnittliche Größe beträgt für ein Helium-Isobutan-Gemisch  $1,7 - 2,3$  Elektronen pro Cluster [Zen97].

Berechnet man die Anteile, die Elektronen und Ionen zum Driftkammersignal beitragen [Zen97], so ergibt sich, daß die Elektronen mit nur ca. 1,4% einen vernachlässigbaren Beitrag zum Gesamtsignal beisteuern.

Abbildung 2.6 zeigt den Durchgang eines geladenen Teilchens durch die Driftzelle. Entlang des gesamten Weges durch die Zelle ionisiert es die Gasatome. Diese und die Elektronen driften im Feld und steuern beide zum Signal bei. Zur Ortsbestimmung, genauer Abstandsbestimmung vom Signaldraht, betrachtet man bei der Ermittlung der Driftzeit nur das erste Elektronencluster, das am Draht ankommt. Dadurch ist gewährleistet, daß der kürzeste Abstand der Trajektorie zum Signaldraht erfaßt wird.

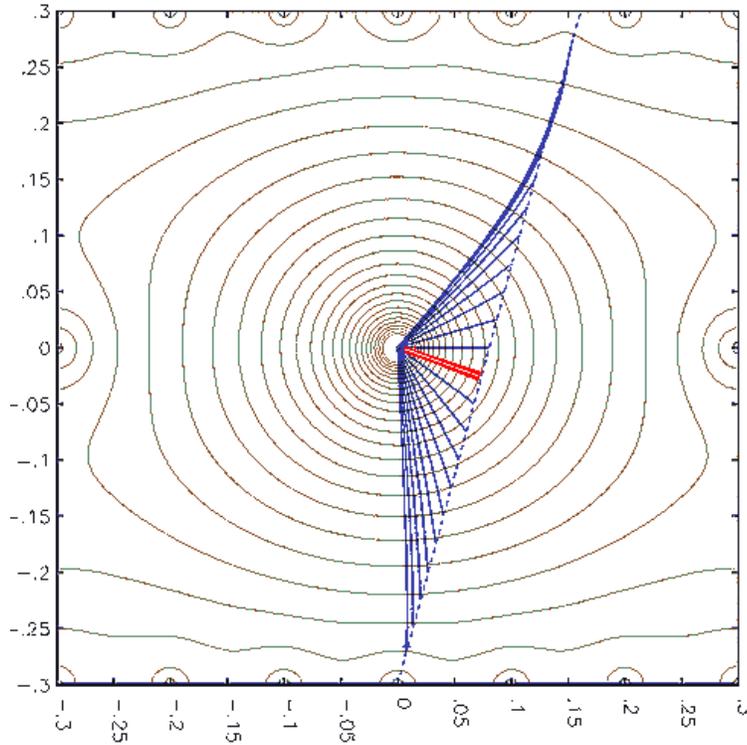


ABBILDUNG 2.6: Durchgang eines Teilchens durch eine Driftzelle der inneren Driftkammern. Der kürzeste Abstand zur Trajektorie ist hervorgehoben.

## 2.3 Messungen am MDC-Prototyp 0.1

Vor dem Bau der eigentlichen MDCs mit sechs Signaldrahtebenen wurden an mehreren Prototypen die Eigenschaften und die optimalen Betriebsparameter der Kammern ermittelt. Der hier verwendete Prototyp 0.1 besitzt die Zellgeometrie einer Kammer der Ebene 1. Er besteht jedoch nur aus den beiden um eine halbe Zelle gegeneinander verschobenen  $0^\circ$ -Ebenen.

Abbildung 2.7 zeigt die Kammersignale für zwei verschiedene Quellen. Die Signale zeigen dabei für die Elektronen aus der  $^{90}\text{Sr}$ -Quelle sowie wie die Gamma-Strahlung aus der  $^{55}\text{Fe}$ -Quelle eine ähnliche Charakteristik:

Polarität	negativ
Pulshöhe	5-20 $\mu\text{A}$
Anstiegszeit	5-10 ns
Abfallzeit	80-100 ns
Ladung pro Puls	0,25 pC

TABELLE 2.3: Signalcharakteristika der Driftkammersignale

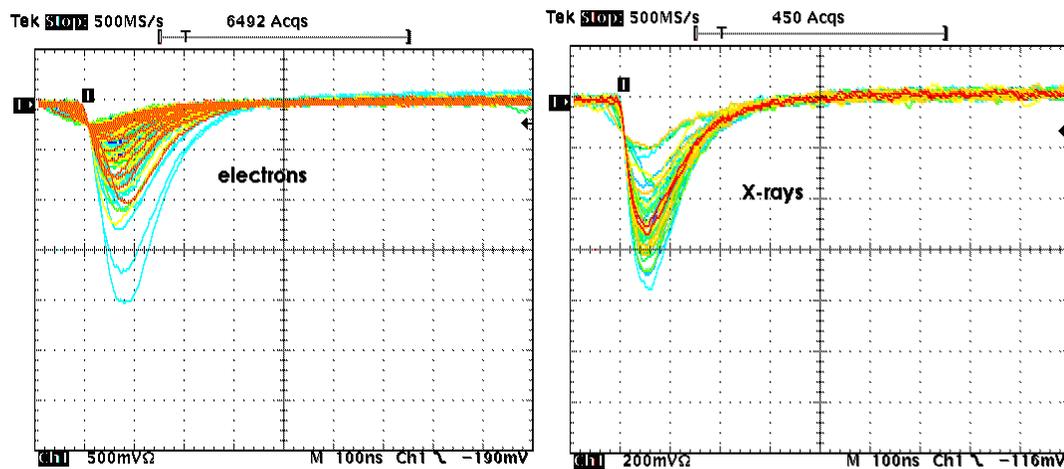


ABBILDUNG 2.7: Signale am Prototypen 0.1, links  $^{90}\text{Sr}$   $\beta^-$ -Quelle, rechts  $^{55}\text{Fe}$   $\gamma$ -Quelle. Der verwendete Darstellungs-Modus am Oszilloskop erlaubt die Überlagerung von Signalen, die innerhalb eines Intervalls von 10 s auftreten.

## Zielsetzungen

Um ein geeignetes Mischungsverhältnis von Helium und Isobutan zum Betrieb der Kammer zu finden, wurden am Prototyp 0.1 systematisch die intrinsische Ortsauflösung sowie die Nachweeffizienz der Kammer bei jeweils verschiedenen Mischungsverhältnissen und Betriebsspannungen bestimmt.

## Verfahrensweise

Die Orstaufflösung der Kammer wird mit einer  $^{90}\text{Sr}$ -Quellenmessung im *self-tracking*-Verfahren bestimmt. Den Versuchsaufbau zeigt Abbildung 2.8.

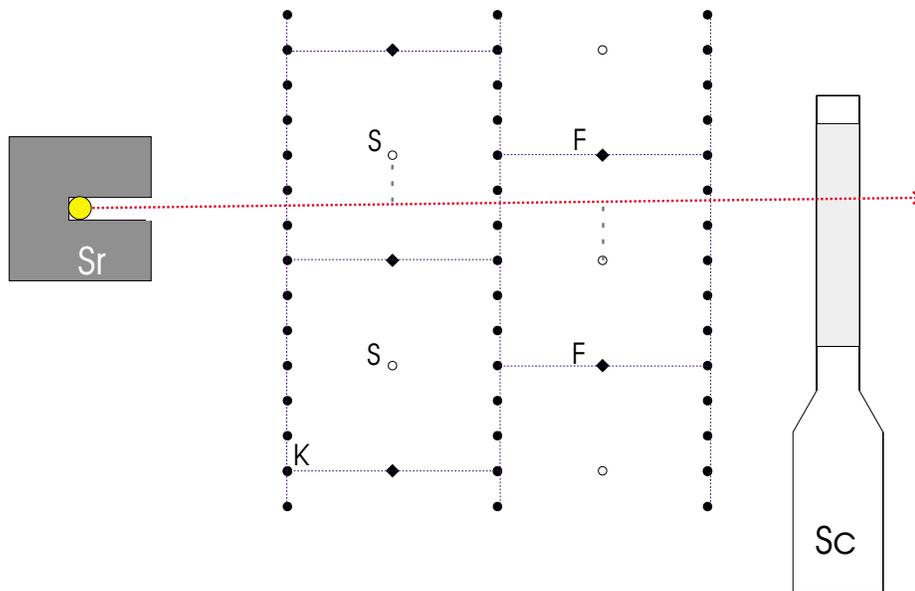


ABBILDUNG 2.8: Versuchsaufbau nach dem Prinzip des „Selftrackings“ für den Prototypen 0.1. Kollimierte  $^{90}\text{Sr}$ -Quelle und Plastik-Szintillator (Sc) sorgen mit ihrem kolinearen Aufbau, daß möglichst nur gerade Spuren berücksichtigt werden. (S bezeichnet die Signal-, F die feldformenden und K die Kathodendrähte)

Die Elektronen aus einer kollimierten  $^{90}\text{Sr}$ -Quelle treten in einem möglichst rechten Winkel in die Kammer ein. Die Signale der Kammer werden über einen ladungsempfindlichen Vorverstärker auf ein Diskriminator-NIM-Modul geführt. Dieses Modul generiert einen Startimpuls, das auf ein TDC-Modul geleitet wird. Das Stopp-Signal wird durch den Szintillator und einen nachgeschalteten Diskrimina-

tor generiert. Die kolineare Anordnung von kollimierter Quelle und des Plastik-Szintillators bewirkt, daß in erster Näherung nur geradlinige Spuren erfaßt werden, die im rechten Winkel in die Kammer eintraten.

Dies ist Voraussetzung für die weiteren Überlegungen. Werden die Driftzeiten zweier hintereinander liegender Driftzellen addiert, so ergibt sich im Idealfall eine Konstante. Abweichungen von diesem idealen Wert ergeben sich durch:

- a) Spuren, die nahe an Feld- oder Signaldrähten vorbeiführen. In deren Nähe ist die Konstanz der Driftgeschwindigkeit nicht mehr gewährleistet.
- b) Eintrittswinkel der Elektronen in die Kammer  $\neq 90^\circ$ . Bei solchen Bahnen kann die Summe nicht mehr eine Konstante sein.
- c) Unterschiedliche Ankunftszeiten der einzelnen Cluster am Signaldraht.
- d) Vielfachstreuung in der Kammer.

Die verbleibenden kleinen Streuungen in den Werten kann man hingegen direkt auf die intrinsische Auflösung der Kammer zurückführen. Über die Approximation dieser Daten mit einer Gauss'schen Normalfunktion läßt sich die Standardabweichung  $\sigma$  und daraus  $\sigma_w = \sigma/\sqrt{2} \times \bar{v}_{Drift}$  die intrinsische Auflösung ermitteln. (Siehe hierzu Abbildung 2.9)

Mit der Bedingung  $\Delta t = |t_{Ebene1} - t_{Ebene2}| \simeq 0$  eliminiert man die aus (a) folgenden Abweichungen. (b) wird weitestgehend durch die kolineare Anordnung von Quelle und Szintillator aufgehoben. Differenzen, die mit (c) einhergehen, werden dadurch vermindert, daß man möglichst auf den ersten ankommenden Cluster triggert. Der Einfluß von (d) wird schließlich vermindert, wenn im Falle der  $^{90}\text{Sr}$ -Quelle nur Elektronen mit Energien  $\geq 100$  keV berücksichtigt werden, da diese sonst Energie bei Streuprozessen verloren hätten. Dies erfolgt mit Hilfe der aus dem Szintillator gewonnenen Energiespektren.

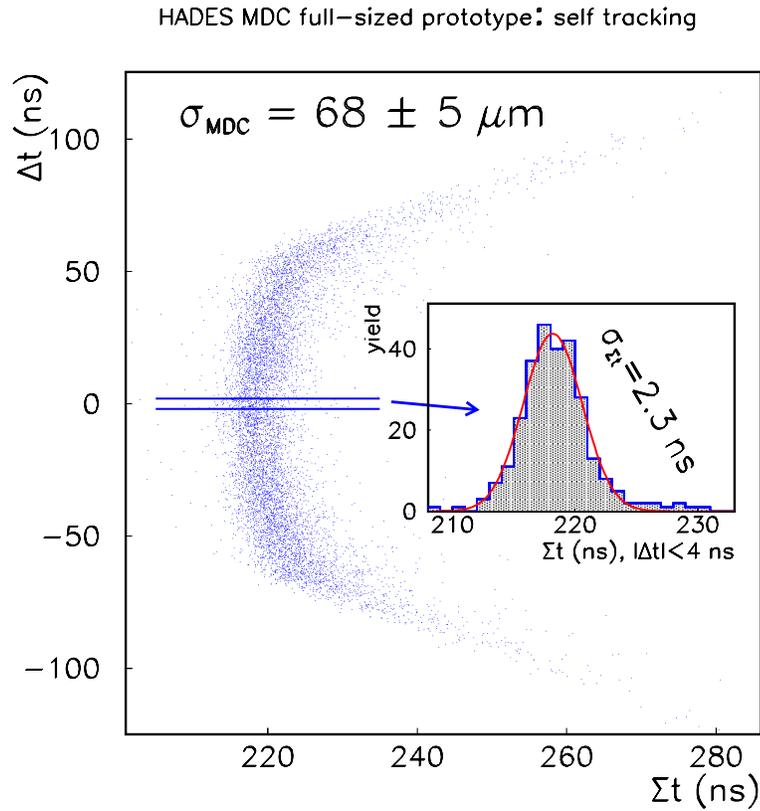


ABBILDUNG 2.9: Verfahren zur Bestimmung der Ortsauflösung mit dem „Selftracking-Verfahren“. Aufgetragen sind die Differenzen der Driftzeiten gegen die Summe der Driftzeiten  $\Sigma t$  die im Idealfall von  $90^\circ$ -Eintrittswinkeln der Spuren und konstanter Driftgeschwindigkeit eine Konstante bilden. Hier im Bereich um 220 ns. Für Zeitdifferenzen nahe Null (Abweichung (a)) ist dieses annähernd gegeben. Diese Daten werden mit einer Gauss-Funktion approximiert (kleines Bild). Daraus erhält man die Standardabweichung, aus der die Ortsauflösung berechnet wird. [GSI98]

Die Nachweiseffizienz einer Driftzelle bestimmt sich wie folgt. Betrachtet man zwei hintereinander liegende Driftzellen, so ergibt sich bei senkrechtem Einfall aus dem Vergleich der Anzahl der Treffer, die nur eine der beiden Driftzellen registriert hat,  $N_{missed\ hit}$ , mit der Gesamtzahl registrierter Treffer,  $N_{total}$ , die Nachweiseffizienz der entsprechenden Ebene zu:

$$\epsilon_i = 1 - \frac{N_{i, missed\ hit}}{N_{total}}, i \neq j$$

$$\epsilon = \frac{\epsilon_1 + \epsilon_2}{2}$$

## Ergebnisse

Für Mischungsverhältnisse von Helium zu Isobutan von 80:20, 70:30, 60:40 und 50:50 wurden für steigende Betriebsspannungen die Nachweiseffizienz und die Auflösung solange bestimmt, bis die Kammern begannen, Strom zu ziehen. Die Ergebnisse für die Auflösung sind in Abbildung 2.10 zu sehen, die der Nachweiseffizienz finden sich in Abbildung 2.11.

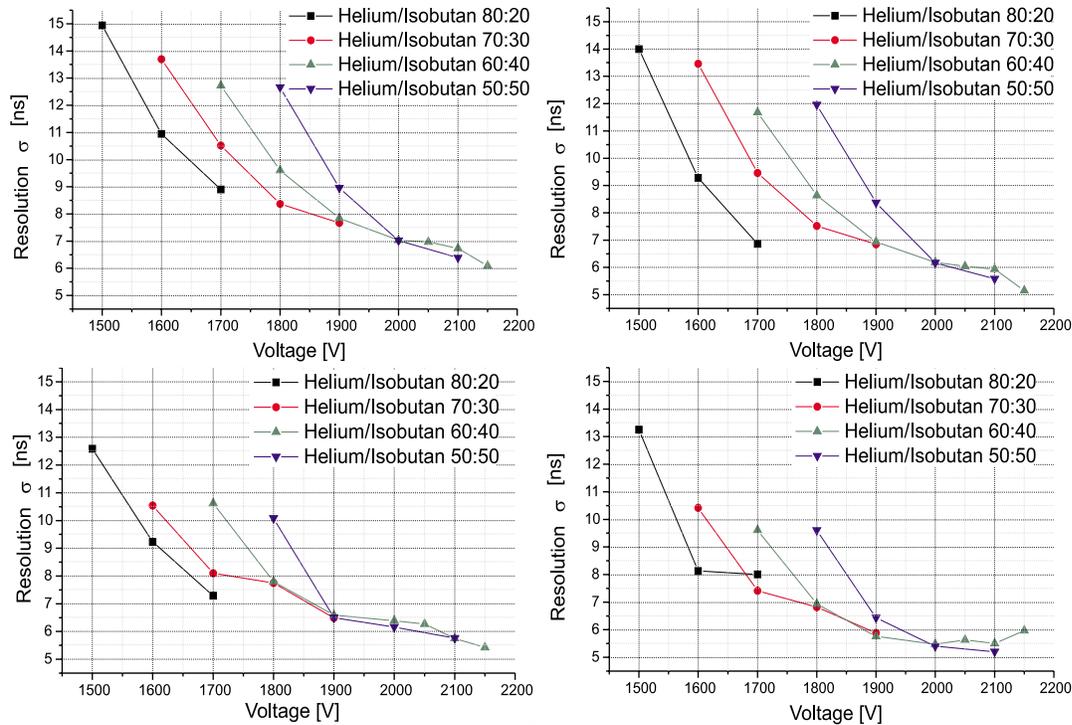


ABBILDUNG 2.10: Auflösung des Driftkammer-Prototypen 0.1 für verschiedene Mischungsverhältnisse von Helium und Isobutan  $C_4H_{10}$ . Die einzelnen Graphen zeigen die Wirkung der Verbesserungsschritte für die Probleme (a) und (c). Der Reihenfolge (v.l.n.r) nach gezeigt sind:

1. Die unveränderten Daten,
2. Beschränkung auf Elektronenenergien  $\geq 100$  KeV,
3. Beschränkung auf Daten, die  $\Delta t \simeq 0$  genügen,
4. Beschränkung auf Elektronenenergien  $\geq 100$  KeV **und** Beschränkung auf Daten, die  $\Delta t \simeq 0$  genügen.

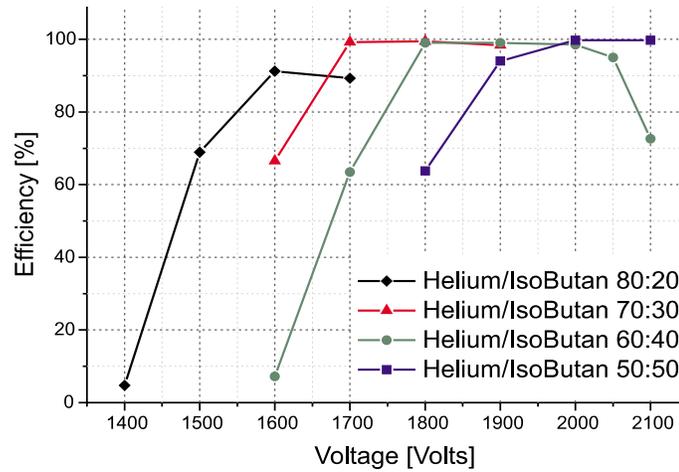


ABBILDUNG 2.11: Nachweiseffizienz des Driftkammer-Prototypen 0.1 für verschiedene Mischungsverhältnisse von Helium und Isobutan  $C_4H_{10}$ .

Das Mischungsverhältnis von 60:40 bietet im Bereich von 1,9 - 2,1 KV ein breites Plateau für die Zeitauflösung von  $\sigma_{\Sigma t} \leq 5,6$  ns. Damit erreicht die Prototyp 0.1 die intrinsische Ortsauflösung:

$$\sigma = \frac{\sigma_{\Sigma t}}{\sqrt{2}} \times \bar{v}_{Drift} \simeq 169 \mu\text{m}$$

mit  $\bar{v}_{Drift} = 4,27 \text{cm}/\mu\text{s}$

Ebenso gewährleistet dieses Gemisch im Bereich von 1,8 - 2,0 KV für die Nachweiseffizienz von über 98,5 % ein breites Plateau für einen stabilen Betrieb der MDC. Es sei anzumerken, daß die besseren Ergebnisse in Abbildung 2.9 mit einem neueren Prototypen unter besseren Strahlbedingungen erzielt wurden [Gar97, GSI98].



# Kapitel 3

## Signal-Auslese

Im vorangegangenen Kapitel 2 wurden spezielle Testexperimente am Driftkammer-Prototypen 0.1 behandelt. Hierzu erfaßte man die Informationen von maximal 16 Signaldrähten der Kammer. Dies erfolgte mit herkömmlicher NIM- und CAMAC-Elektronik und wurde über das GSI-eigene Datenerfassungssystem SBS bzw. MBS aufgenommen.

Die wesentlichen Komponenten zum Ermitteln der Driftzeitinformationen waren:

- a) ladungsempfindlicher Vorverstärker
- b) Diskriminator-NIM-Modul
- c) Szintillationszähler
- d) CAMAC-TDC-Modul

Die Vorverstärker wandeln die Stromsignale der Kammer (Größenordnungen siehe Tabelle 2.3) in analoge Spannungssignale. Die nachfolgenden Constant-Fraction-Diskriminator-Module generieren einen logischen Puls, sobald die Spannungssignale einen vorgegebenen relativen Anteil der maximalen Impulshöhe übersteigen. Diese Triggerschwelle wurde so gewählt, daß jeweils möglichst das erste am Signaldraht ankommende Elektronen-Cluster den Schaltvorgang auslöst. Das Signal des Szintillationszählers wird um eine feste Zeit verzögert und gelangt über einen Diskriminator zusammen mit den Signalen der Constant-Fraction-Module zum CAMAC-TDC. Dieser digitalisiert für jeden Kanal die Zeitdifferenz zwischen den verschiedenen Startsignalen und dem gemeinsamen Stoppsignal des Szintillators. Dies bezeichnet man als *Common-Stop*-Verfahren.

Für die HADES-Driftkammern kann dieses auf herkömmlicher Elektronik basierende Auslesekonzept nicht übernommen werden. An Stelle von 16 Kanälen müssen ca.1100 Kanäle pro Modul und für alle Driftkammern zusammen  $\approx 26.000$  Signale verstärkt, aufbereitet, diskriminiert und digitalisiert werden. Bei der

veranschlagten hohen Strahlintensität von  $10^8$  Teilchen/Sekunde ergibt sich bei einem Target mit 1% Wechselwirkungswahrscheinlichkeit eine Reaktionsrate von  $10^6 \text{ s}^{-1}$ . Durchschnittlich 10 % entfallen auf zentrale Stoßreaktionen. Damit steht zur vollständigen Erfassung der Daten für eine zentrale Reaktion im Mittel ein Zeitraum von  $10 \mu\text{s}$  zur Verfügung. Konventionelle Elektronik im NIM/CAMAC-Format kann diese Anforderungen aus folgenden Gründen nicht mehr erfüllen (exemplarisch):

### Signalleitungen

Die Baugröße der NIM/CAMAC-Module läßt für diese nur eine Position außerhalb des Detektors zu. Deshalb müßten alle 26.000 Signale mit langen Kabeln, mindestens 10-20 m, aus dem Detektor herausgeführt werden. Allein die Kabel hätten eine Gesamtlänge von mind. 260 km. Zusätzlich sind gegenseitige Einstreuungen von Signalen bei einer Signalamplitude von maximal  $20 \mu\text{A}$  ohne großen (Kosten)-Aufwand nicht zu vermeiden.

### Raumbedarf und Energieverbrauch

Rund 4000-NIM-Module wären allein zur Erzeugung der Startsignale (8 Signale pro Modul) notwendig. Dafür wären 400 Crates notwendig, zu erwartender Platzbedarf  $\approx 20\text{--}30 \text{ m}^3$ . Bei einer Leistungsaufnahme pro Crate von  $\approx 500\text{--}1000 \text{ W}$  ergäbe sich eine Gesamtleistungsaufnahme von  $\approx 400 \text{ KW}$ .

### Verarbeitungszeit

Die Verarbeitungszeit von  $\leq 10 \mu\text{s}$  ist mit konventioneller Elektronik für diese Größenordnungen ebenfalls nicht zu finanzieren.

Wegen dieser Unvereinbarkeit muß ein alternatives Konzept verwendet werden. Dieses im folgenden Abschnitt 3.1 beschriebene Auslesekonzept stellt ein „intelligentes“ Verfahren dar, das in unmittelbarer Nähe des Detektors mit hochintelligenter Elektronik die Signale erfaßt, aufbereitet, digitalisiert und eine Datenreduktion durchführt.

## 3.1 Auslesekonzept

Die Probleme, die herkömmliche Elektronik aufwirft, erfordern ein anspruchsvolles Auslesekonzept für die 24 Driftkammern von HADES. Um Leitungsverluste zu minimieren, wird die Verstärkung, Signalformung, Diskriminierung und Zeitdifferenzermittlung inklusive deren Digitalisierung unmittelbar am Detektor durchgeführt. Die hochintegrierte und miniaturisierte Elektronik ist in unmittelbarer Nähe auf den Rahmen der einzelnen Driftkammern angebracht. Es wird ein modulares Konzept verfolgt, das den nachträglichen Austausch von Komponenten ermöglicht.

Analogverstärkerkarten verstärken gleichzeitig jeweils 8 Kammersignale und führen anschließend eine Signalformung durch [CFZ97]. Über einen Schwellendiskriminator werden daraus Startsignale generiert. Mehr hierzu im folgenden Abschnitt 3.2. Die Karten, auch als Daughterboards bezeichnet, stecken direkt auf den Digitalisierboards. Die Hauptkomponenten dieser Mutterplatinen sind 8–12 TDC-ASICs [TDC96]. Sie ermitteln, ohne Totzeit, zusammen mit einem einzigen von außen zugeführten Common-Stop-Signal die Zeitdifferenz zwischen Start und Stopp und stellen sie in digitaler Form zu Verfügung. Zusätzlich findet durch eine implementierte Nullunterdrückung eine Datenreduktion um den Faktor  $\approx 10$  statt (Abschnitt 3.3). Diese Daten werden von jeweils einer Auslese-Einheit pro Modul abgerufen, zwischengespeichert und bei einer positiven Leptonenpaaridentifikation durch RICH und META weitergeleitet (Abschnitt 3.4).

## 3.2 Analogkarte

### 3.2.1 Anforderungen und Konsequenzen

Die Aufgabe der Analogkarte im Auslesekonzept ist es, aus einem analogen schwachen Stromsignal der Kammer ein logisches Spannungssignal zu generieren. Darüberhinaus müssen folgende Anforderungen erfüllt werden:

#### **Leistungsaufnahme pro Kanal**

Aufgrund der hohen Packungsdichte der Ausleseelektronik auf den Kammerrahmen muß die Leistungsaufnahme minimiert werden. Als angemessener Wert für die Analogelektronik ergab sich aus Vorüberlegungen pro Kanal ein maximaler Leistungsbedarf von  $\approx 25$  mW.

#### **Ratenfestigkeit**

Die Raten von im Mittel  $10^6$  Ereignissen/Sekunde müssen von der Elektronik beherrscht und verarbeitet werden können.

## Rauscharm

Die Elektronik muß über eine große Bandbreite von ca. 200 MHz ein gutes Signal/Rauschverhältnis aufweisen.

Um die Anforderung zu erfüllen, beinhaltet die Karte drei aufeinanderfolgende Verarbeitungsstufen:

- Verstärkung
- Signalformung
- Diskrimination

## Verstärker

Diese erste Stufe besteht aus einem differentiellen, ladungsempfindlichen Verstärker, der bei einer Eingangsimpedanz von  $\approx 200 \Omega$  die Signale mit einer Verstärkung von 10–20 mV/ $\mu$ A verarbeitet.

## Signalformung

Das von der Vorverstärkerstufe bereitgestellte Signal wird mit der Zielsetzung weiterverarbeitet einen Puls zu formen, der die Zeitinformation unverändert beinhaltet, jedoch ein besseres Signal-zu-Rausch-Verhältnis aufweist. Dazu werden einerseits integrierende Glieder zum Glätten des Signals verwendet. Andererseits wird das Signal differenziert, um die lange Abfallzeit des Pulses aufgrund der Ionendrift zu unterdrücken. Damit werden Pile-up-Effekte vermindert.

## Diskriminator

Diese Stufe generiert aus dem aufbereiteten analogen Puls ein logisches Signal. Dieses Signal wird erzeugt, sobald der Puls einen vorgegebenen Schwellenwert überschreitet. Die Länge des derart erzeugten Signals gibt an, wie lange die Signalamplitude über der Schwelle liegt, welche so gewählt ist, daß möglichst das erste Cluster, das am Draht ankam, registriert wird. Dieses Verfahren bezeichnet man als *leading edge*-Verfahren. Abbildung 3.1 zeigt die Funktionsweise der Signalgenierung bei verschiedenen hohen Schwellenspannungen. Die Wahl der Schwelle hat direkten Einfluß auf die Nachweiseffizienz der Elektronik. Wird sie zu klein gewählt, so ist zu beachten, daß man auf Rauscheffekte empfindlich wird. Hier besteht die Gefahr jegliche sinnvolle Zeitinformation verlieren. Andererseits darf die Schwelle auch nicht zu hoch eingestellt sein, da sonst zu viele echte Ereignisse verloren gehen. Zur Vermeidung von Einflüssen durch eingestreute Störsignale werden die Signale vom Diskriminator in dem quasi-differentiellen GTL-Standard an die Mutterplatine übertragen.

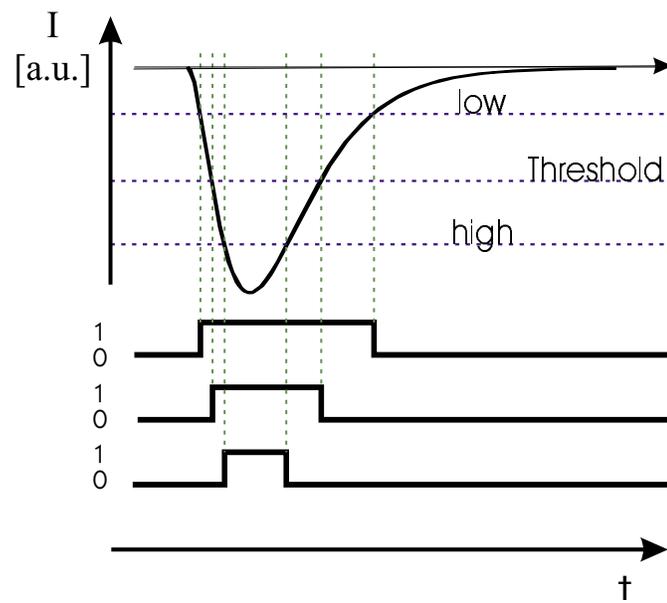


ABBILDUNG 3.1: „Time above threshold“: Abhängigkeit der Signallänge des logischen Ausgangssignals (unten) von der Wahl der Schwellenspannung bei vorgegebenen Analogpuls.

### 3.2.2 Technische Umsetzung — Integrierte Logik: Der ASD8-ASIC

Für die Aufbereitung der Signale der HADES-Driftkammern wird ein an der Universität von Pennsylvania entwickelter ASIC benutzt [New93]. Dieser als ASD8 bezeichnete ASIC verstärkt (Amplifier), formt (Shaper), und diskriminiert (Discriminator), parallel 8 Kanäle. Der Verstärker bietet pro Kanal zwei Eingänge an. Mit dieser differentiellen Konfiguration lassen sich Einstreuung vermindern. Die beiden Eingangssignale werden zunächst einzeln verstärkt. Derart aufbereitet werden die beiden Signale einem differentiellen Verstärker zugeführt. Die gesamte Verstärkung beträgt  $12\text{mV}/\mu\text{A}$ . Die anschließende Impulsformung erfolgt in mehreren Stufen. Der integrierte Diskriminator generiert abhängig von der anliegenden Schwellenspannung ein pseudo-differentielles Signal im GTL-Standard. Zusätzlich stellt der Chip zu Kontrollzwecken Signale an mehreren Stellen der Signalbearbeitung zur Verfügung. Abbildung 3.2 zeigt das Blockschaubild des ASICs. Er erfüllt die an Signalcharakteristik und Leistung gestellten Anforderungen.

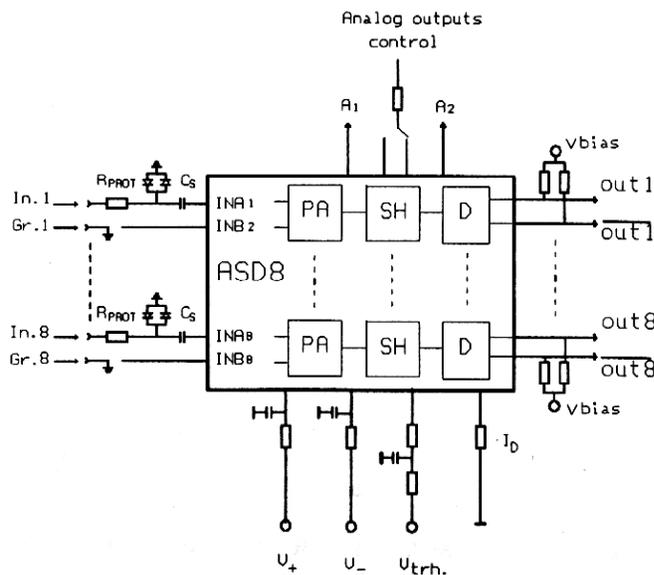


ABBILDUNG 3.2: Blockschaubild des ASD8 aus [CFZ97]. PA: Preamplifier, SH: Shaper, D: Diskriminator

### 3.2.3 ASD8-Daughterboard

Mitglieder der HADES-Kollaboration vom Institut JINR in Dubna entwickelten nach den Vorgaben eine Tochterplatine basierend auf dem ASD8-ASIC [CFZ97]. In der Prototypversion wurde pro Daughterboard jeweils ein ASD8 verwendet, womit pro Karte 8 Kanäle verarbeitet wurden. In der überarbeiteten, finalen Version wird die Anzahl der ASD8 pro Karte verdoppelt. Die differentiellen Signale werden kapazitiv eingekoppelt und dem ASD8 zugeführt. Abbildung 3.3 zeigt die erste Version der Analogverstärkerkarte. Zum Vergleich dazu ist in Abbildung 3.4 die zweite weiterentwickelte Daughterboard-Version zu sehen. In Anhang A, Abbildung A.1, befinden sich die vorläufigen Stromlaufpläne der zweiten Daughterboard-Fassung.



ABBILDUNG 3.3: Prototypversion des Daughterboards, (JINR, Dubna). In der Mitte der Platine ist der ASD8-Chip zu erkennen. Links und rechts oben sind die Verbindungskontakte zur Kammer, unten der zur TDC-Mutterplatine. (Höhe: 30 mm, Breite: 110 mm)

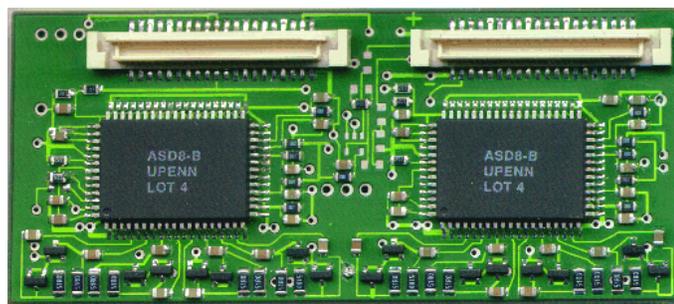


ABBILDUNG 3.4: Finale Version des Daughterboards mit zwei ASD8-Chips zur Verarbeitung von 16 Kanälen (Höhe: 40 mm, Breite: 90 mm)

## 3.3 Digitalteil

Zielsetzung für die die Analogausleseelektronik aufnehmende und deren Signale weiterverarbeitende Mutterplatine ist es, zusammen mit dem extern erzeugten Common-Stop-Signal die Zeitdifferenzdaten zu digitalisieren. Die Elektronik muß dabei eine Zeitaufösung garantieren, die typische Driftzeiten im Bereich von 80 ns (innere Kammern) bis zu 400 ns (Ebene III und IV) hinreichend genau erfaßt, um die angestrebte Ortsauflösung zu erreichen. Das bedeutet bei einer mittleren Driftgeschwindigkeit von  $\bar{v}_D \approx 50 \mu\text{m}/\text{ns}$  und einer Ortsauflösung pro Drahtebene von  $\sigma_w \approx 75 \mu\text{m}$  eine geforderte Zeitaufösung von  $\sigma_t < 1,5 \text{ ns}$ . Eine weitere Aufgabe des Digitalteils liegt in einer Reduktion der Daten durch eine Nullunterdrückung. Somit werden nur von Null verschiedene Zeiten weitergegeben. Letztendlich muß die Mutterplatine die zum Betrieb des Daughterboards notwendige Infrastruktur bereitstellen.

### 3.3.1 TDC

#### TDC-Konzeption

Die digitale Seite der HADES-Driftkammer-Elektronik verwendet einen eigens für HADES konzipierten TDC-ASIC. Er basiert auf dem TDC2001, der am Institut für Kernphysik der Universität Mainz entstand [Git94]. Der große Vorteil dieses TDCs liegt darin, daß er prinzipiell keine Zeit für die Konversion der Daten benötigt. Durch das Fehlen jeglicher Totzeit ist er ständig einsatzbereit. Das Meßprinzip basiert auf dem Abzählen von Umläufen eines Signals in einem Ring aus 15 logischen Gattern mit festen Gatterlaufzeiten und verfeinert aus der Endposition innerhalb des Rings. Die Zeitaufösung des Meßkreises bestimmt sich somit allein aus der Durchlaufzeit des Signals durch die einzelnen Gatterbausteine. Sie liegt im Bereich von 200-300 ps. In [Wüs97] werden u.a. die Einflüsse die Spannungs- und Temperaturschwankungen auf den TDC-Meßkreis ausüben näher betrachtet. Darin beschriebene Abweichung lassen sich durch Vernachlässigen des letzten Bits (LSB) in der Driftzeitinformation kompensieren. Es ergibt sich ein Zeitaufösung von  $\sigma_t \approx 600 \text{ ps}$ . Der Start einer Messung erfolgt sobald das Start-Signal, in diesem Fall der GTL-Puls der Analogkarte, anliegt. Mit dem Eintreffen des Stopp-Signals ist der Meßprozeß abgeschlossen. Die Meßdaten stehen sofort zur Verfügung. Für HADES wurde dieses Konzept von der Firma Gleichmann weiterentwickelt und mit einem leistungsfähigen Auslese-Interface ergänzt, das auf hohe Datentransferraten hin optimiert wurde (bis zu  $10^7$  Datenworte/Sekunde). Produziert wird der ASIC von NEC, Japan.

Im folgenden seien die wichtigen Eigenschaften des TDCs kurz aufgeführt:

keine Konversionszeit

Aufgrund des Meßprinzips ergibt sich beim Digitalisieren der Zeitdifferenz keine Konversionszeit

**Steuerregister**

Der TDC läßt sich über vier Steuerregister in verschiedene Betriebsmodi setzen. U.a. kann er eine Eigenkalibration für ein beliebiges Muster von Kanälen auslösen.

**Multihiterfassung**

Pro Kanal können pro Messung bis zum Eintreffen des Common-Stop-Signals bis zu 8-Startsignale, Hits, verarbeitet werden. Für den Betrieb auf den Motherboards auf den Rahmen der Driftkammern wird der TDC im sogenannten „GSI“-Modus betrieben. In diesem Modus werden, um u.a. eine Reduktion des Datenwortes zu erreichen, nur 2 Hits berücksichtigt.

**Spitzenunterdrückung**

Der Meßkreis kann die Erfassung von Signalen unterbinden, die nicht über einen wählbaren Zeitraum (max. 23 ns) über ein stabiles Plateau verfügen.

**Nullunterdrückung**

Der TDC liefert nur Daten von Kanälen, die von Null verschiedene Zeitwerte enthalten. Mit diesem Verfahren erreicht man eine Datenreduktion um einen Faktor  $\approx 10$ .

**Auslese im Tokenverfahren**

Die Datenausgabe der TDCs wird nur durch ein externes Signal, das Token, ausgelöst. Ab jetzt schickt der TDC eigenständig die Informationen. Dazu generiert er Taktsignale, die von externer Logik zum Erfassen benötigt wird. Jedem Meßwert ist die Kanal- und Hitinformation hinzugefügt. Ist die Ausgabe eines TDCs beendet so reicht er das Token-Signal entweder zurück an die Ausleseelektronik oder an einen weiteren TDC weiter. Dieser beginnt als nächster in einer Kette von bis zu 15 Chips mit der Ausgabe seiner Daten.

**schnelle Datenschnittstelle**

Der Datentransfer kann in 8 verschiedenen Taktraten von 4 MHz bis 25 MHz erfolgen. Das Interface ist in der Lage Raten, von bis zu  $2.5 \cdot 10^7 s^{-1}$  parallel übertragenen Datenworten à 25 bit zu bewältigen.

Neben der Auslese der Daten im Token-Modus können die Steuer- und Zeitdatenregister im sogenannten *Chip-Select*-Modus einzeln angesprochen werden. In diesem Fall liegt die Erzeugung aller notwendigen Taktsignale bei der externen Ausleseelektronik. Weitere Einzelheiten zur Funktionsbeschreibung des HADES-Driftkammer TDC-ASICs finden sich in [TDC96].

### 3.3.2 Umsetzung im Motherboard

Auf der Mutterplatine, der Digitalisierungseinheit, befinden sich zwischen 8–12 in einer Kette verschaltete TDCs. Auf die Motherboards werden je nach Version 8–12 (4-6, neue Version) Tochterplatinen aufgesteckt. Verbindungen über Kabel und damit verbundene Störungen entfallen. Insgesamt können somit die Signale von bis zu 120 Kanälen pro Motherboard verarbeitet werden. Im unwahrscheinlichen Extremfall von 120 aktiven Kanälen mit jeweils 2 Treffern könnten diese Daten in  $9,6 \mu\text{s}$  ausgelesen werden. Durch eine entsprechende Verteilung der Mutterplatinen an der Kammer (12 pro Modul) wird eine weitestgehend gleichmäßige Beanspruchung aller Einheiten erreicht [Wüs97].

### 3.4 Auslese und Datenreduktion auf höherer Ebene

Die sich anschließenden Schritte seien hier nur kurz skizziert. Detaillierte Informationen finden sich auf den Internetseiten der HADES-Kollaboration im Bereich DAQ, Dataaquisition und Computing [DAQ98], ebenso [HAD94, Sch95, Wüs97]. Abbildung 3.5 zeigt die Schritte der Datenerfassung für das gesamte Driftkammersystem. Die Daten jedes Motherboards der 24 Module werden von jeweils einer Einheit, dem readout controller, ausgelesen und zwischengespeichert. Erfolgte eine positive Leptonenpaaridentifikation durch den *LVL2*-Trigger basierend auf den Informationen aus RICH und META, so werden die Daten pro Modul an einen Konzentrador weitergeleitet. Von dort aus gelangen sie per GTB-Link an den Subevent-Builder der MDCs. Jede Detektoreinheit verfügt über eine solche Einheit. Die Subevents der einzelnen Detektoren werden zu einem Gesamtdatensatz zusammengefaßt und gespeichert.

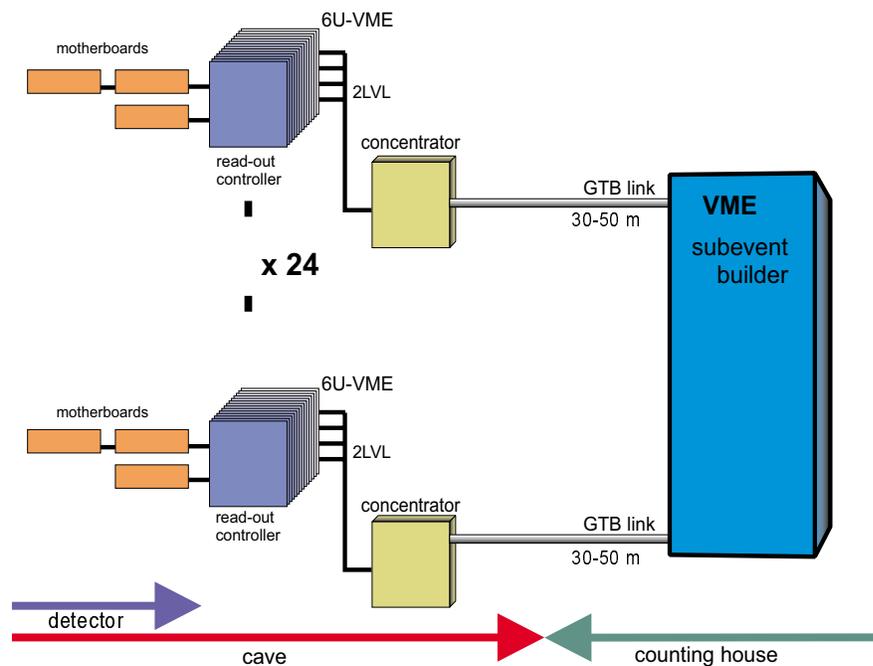


ABBILDUNG 3.5: MDC-Readout-Konzept

## 3.5 Massenproduktion

Wie bereits erwähnt, ist die Anzahl zu produzierender Daughterboards so hoch, daß eine industrielle Fertigung in betracht gezogen werden muß. Zur Auslese der rund 26.000 Kanäle werden annähernd 1700 (3400, erste Version) Analogkarten benötigt. Diese sind auf  $\approx 300$  Mutterplatinen aufgesteckt. Zum einwandfreien Betrieb muß sichergestellt sein, daß alle Komponenten optimal funktionieren und betrieben werden können. Bei solchen Maßstäben kann die erforderliche Qualitätskontrolle nicht mehr manuell erfolgen. Zwar sind die Hauptbestandteile, die ASICs, von den Chipproduzenten auf ihre elektrischen Eigenschaften hin getestet worden, doch dies allein reicht nicht aus. Es ist notwendig Eigenschaften des Gesamtsystems Daughterboard zu erfassen, die im Test eines einzelnen ASICs nicht berücksichtigt werden können.

Im nächsten Kapitel wird ein Testsystem konzipiert, das einen halbautomatischen Test der produzierten Daughterboards unter realistischen Einsatzbedingungen erlaubt. Der Aufbau soll darüber hinaus zur Funktionsprüfung an einzelnen TDC-Chips verwendet werden.

# Kapitel 4

## Teststand

In diesem Kapitel werden die Anforderungen für ein Testsystem für die Analogausleseelektronikkarten formuliert (Abschnitt 4.1) und ein Konzept, das im Rahmen dieser Diplomarbeit entwickelt wurde, vorgestellt (Abschnitt 4.2). In den darauffolgenden Abschnitten 4.3.1 – 4.3.4 werden die einzelnen Komponenten und deren Umsetzungen präsentiert.

### 4.1 Anforderungen

Prinzipiell soll davon ausgegangen werden, daß die Einzelkomponenten der Analogkarten elektrisch für sich genommen funktionsfähig sind. Dies gilt im speziellen für den ASD8-ASIC, der bereits im Vorhinein auf seine elektrischen Eigenschaften getestet wurde. Mit dem Testsystem sollen diese individuellen Eigenschaften nicht mehr überprüft werden, sondern das Zusammenspiel auf der Analogkarte. Es interessieren hierbei nicht die resultierenden elektrischen Eigenschaften, wie z.B. die Eingangsimpedanz. Diese Werte wurden bei der Konzeption der Analogkarte vorgegeben. Das System soll vielmehr die folgenden Eigenschaften der Elektronik bestimmen, die im Experimentierbetrieb von Interesse sind:

- Funktionsprüfung aller einzelnen Kanäle:  
Jeder Kanal wird einzeln auf die korrekte Signalverarbeitung hin überprüft.
- Signal-Rausch-Verhältnis (S/N) & Schwellenspannung  
Das Signal-Rausch-Verhältnis der Karte wird für jeden Kanal für den Signalweg Signalquelle—Daughterboard—TDC einzeln ermittelt. Daraus ergibt sich eine Vorgabe für die im Diskriminator einzustellende Schwellenspannung. Diese kann generell nur für alle 8 Kanäle gemeinsam gesetzt werden.
- Crosstalk-Eigenschaften  
Das Übersprechen von Signalen eines Kanals auf benachbarte oder weitere Kanäle der Karte wird in Abhängigkeit zur Signalthöhe erfaßt.

- Zeitauflösung  
Diese wird für jeden einzelnen Kanal bestimmt.

Desweiteren werden Anforderung an den Aufbau gestellt, die u.a. von rein praktischer oder finanzieller Natur sind. So soll der Meßstand

- a) **autark** sein. D.h. es soll zum einen Unabhängigkeit von einer äußereren Infrastruktur, wie z.B. Rechnerclustern, Meßdatenerfassungssystemen, bestehen. Andererseits soll dieses Meßsystem auch nicht die HADES-Driftkammern benötigen um seine Messungen durchzuführen, da dies grundlegende Kenntnisse über deren Betrieb vom Bediener erfordert.
- b) **flexibel** sein. Zum Zeitpunkt der Konzeption dieses Meßstandes befand sich die Analogausleseelektronik noch in einer fortgeschrittenen Entwicklungsphase. Es existierten verschiedene Versionen. Der Aufbau sollte so flexibel ausgelegt sein, daß er einfach auf Änderungen, z.B. der Pinbelegung oder dem Übergang vom Prototyp mit 8 Kanälen zur finalen 16-Kanal-Version, flexibel reagieren kann.
- c) **einfach handhabbar** sein. Der Bediener soll über keine speziellen Kenntnisse über Elektronik oder Driftkammern verfügen müssen. Sein Aufgabenbereich sollte nur einfache Tätigkeiten wie den Austausch der Meßobjekte und das Auslösen des Meßvorgangs umfassen. Die Beurteilung der Meßergebnisse soll allein durch das Testsystem erfolgen.
- d) die gewonnenen Daten **protokollieren** und für eine Weiterverwendung zur Verfügung stellen.
- e) einen **angemessenen finanziellen Rahmen** nicht übersteigen.

Nach den o.g. Vorgaben wurde im Rahmen dieser Diplomarbeit ein Konzept entwickelt, daß nun im folgenden präsentiert wird. Es sei anzumerken, daß dieses System zu einem Zeitpunkt konzipiert wurde, zu dem das Daughterboard in der ersten Prototypversion mit 8 Kanälen pro Karte vorlag (Abmessungen und Pinbelegung siehe Anhang A).

## 4.2 Konzeption

Für die Erfassung der Eigenschaften der Analogelektronikkarte sind unterschiedliche Verfahren denkbar. Eine Möglichkeit wäre, pro Kanal eine Spektralanalyse durchzuführen. Hier wird z.B. ein Sinussignal an die Signaleingänge gelegt und dann die Frequenz  $\omega$  über den interessierenden Bereich von 0–250 MHz verändert, um die Übertragungsfunktion  $H(\omega)$  des Systems zu bestimmen. Aus  $H(\omega)$  lassen sich in weiteren Rechenschritten, die gewünschten Größen ermitteln. Der Aufwand steigt, je mehr Kanäle betrachtet werden müssen. Hinzu kommen dann die Untersuchungen von z.B. Crosstalk-Eigenschaften. Deshalb wird diese Verfahrensweise nicht angewendet.

Das hier entwickelte Konzept orientiert sich in seinem Aufbau an den Vorgaben durch das Experiment. Es versucht, diesem möglichst nahezukommen, um die gewonnenen Ergebnisse direkt verwerten zu können. Die Meßgrößen werden unter realistischen Einsatzbedingungen erfaßt und nicht mit großen Rechenaufwand ermittelt. Die einzelnen Komponenten bilden „im kleinen“ den Lauf des Signals von der Kammer zur Analogkarte, dem Meßobjekt, bis zur Datenerfassung nach. Dies erfolgt mit dem in Abbildung 4.1 gezeigten modularen Konzept:

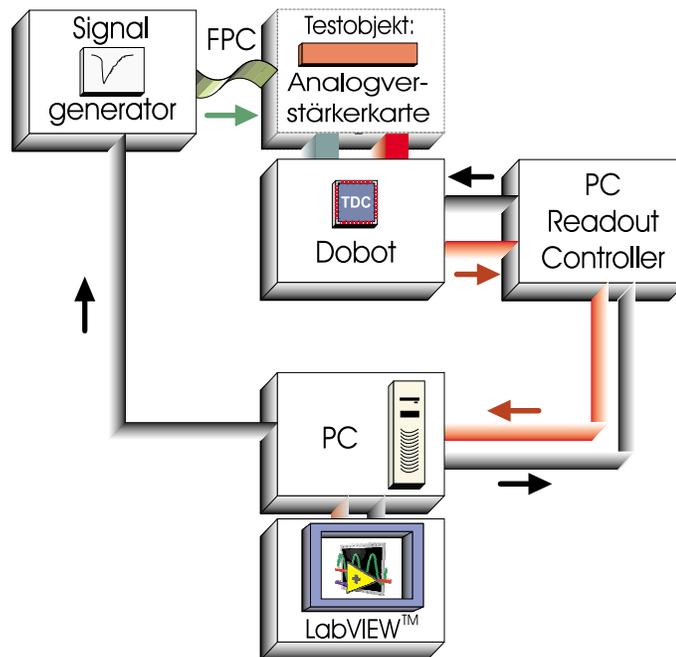


ABBILDUNG 4.1: Konzeption des Teststandes für die Analogausleseelektronik bestehend aus SIGNALGENERATOR inklusive FPC-ÜBERTRAGUNGSKABEL, DAUGHTERBOARD-TESTBOARD DOBOT, PC-READOUT-CONTROLLER, PC und GRAFISCHER OBERFLÄCHE LabVIEW<sup>TM</sup>. Die Pfeile geben den Datenfluß an.

Dieses Konzept sei hier nur kurz vorgestellt. Die einzelnen Komponenten werden in den folgenden Abschnitten ausführlich beschrieben.

Die Signale der Kammer werden künstlich von einem SIGNALGENERATOR weitestgehend originalgetreu nachgebildet und über die im HADES-Experimentaufbau verwendeten FPC-ÜBERTRAGUNGSKABEL an die zu testende ANALOGVER-STÄRKERKARTE übergeben. Mit der Verwendung der auch im HADES-Aufbau verwendeten FPC-Kabel sollen Einflüsse, die dieser Übertragungsweg mit sich bringt, berücksichtigt werden.

Die Signale des Daughterboards werden nicht analog ausgewertet, sondern, dem HADES-Experiment entsprechend, digitalisiert. Dazu steckt die Tochterplatine auf dem Daughterboard-Testboard (DOBOT). Auf diesem befindet sich der gesockelte TDC-ASIC, identisch zu den von den Motherboards zur Driftkammerauslese genutzten. Darüberhinaus erhält das Daughterboard über das DOBOT alle benötigten Versorgungsspannungen, sowie die vom Signalgenerator erzeugte Schwellenspannung für den Diskriminator des ASD8-ASICs.

Die Auslese und Ansteuerung des TDC-ASICs erfolgt durch den READOUT-CONTROLLER (ROC). Signalgenerator und Readout-Controller werden durch einen Personal Computer (PC) angesteuert. Dies geschieht mit dem Softwarepaket LABVIEW<sup>TM</sup> von National Instruments. Es bietet eine grafisch nahezu beliebig gestaltbare Benutzeroberfläche, die die o.g. Anforderung zu erfüllen vermag. Die eigentlichen Ausleseprozesse werden für den Benutzer im Hintergrund ausgeführt. Die Möglichkeit der Anpassung der Elektronik an verschiedene Versionen erfolgt über eine kleine preiswerte Adapterkarte zwischen DOBOT und Analogkarte, die von der Steckverbindung des DOBOTs zu der des Daughterboards umsetzt.

Der modulare Aufbau des Testsystems erlaubt es überdies, die Komponenten weitgehend einzeln in Betrieb zu nehmen und zu testen. Dies erleichtert einerseits eine Fehlersuche und die Abstimmung der Komponenten aufeinander. Andererseits besteht auch die zusätzliche Möglichkeit zu Nutzung einzelner Komponenten für andere Testzwecke, z.B. DOBOT und Readout-Controller für TDC-ASIC-Tests.

Im folgenden Abschnitt werden die Umsetzungen der verschiedenen Komponenten aufgezeigt und die an sie gestellten Anforderungen erläutert.

## 4.3 Die Umsetzung

Für die Entwicklung von zwei der vier Komponenten konnten andere Institute zur Mitarbeit gewonnen werden, die auf dem jeweiligen Gebiet bereits Erfahrung sammeln konnten. Der Signalgenerator wurde am Institut für Kernphysik der Johann Wolfgang Goethe-Universität Frankfurt entwickelt. Der PC-Readout-Controller ist das Produkt einer Diplomarbeit [Gei97b] der Fachhochschule Gießen, die im Rahmen des HADES-Projekts am II. Physikalischen Instituts der Universität Gießen durchgeführt wurde.

### 4.3.1 Signalgenerator

Bei der Konstruktion des Signalgenerators gilt es, ein Kammersignal, wie es in Kapitel 2.3, Tabelle 2.3 beschrieben ist, möglichst originalgetreu nachzubilden. Alternativ könnte man einen kommerziellen Signalgenerator benutzen, der aufgrund der Anforderungen aber den anvisierten Kostenrahmen sprengen würde. Die Vorgaben sind im einzelnen:

- a) Generierung eines Stromsignal mit den Charakteristiken, die denen aus Tabelle 2.3 nahekommen.
- b) Die Signalamplitude soll von Null bis zum Maximalwert variierbar sein.
- c) Dieses Signal soll gleichzeitig über 8 (16) einzeln aktivierbare Kanäle ausgehen werden können.
- d) Dabei sollen aber weder die Anzahl, die Art der Verteilung der aktivierten Kanäle, noch der Schaltvorgang selbst zu Einflüssen auf die Signalamplitude- oder charakteristik aller Kanäle führen.
- e) Zum eigentlichen Signal soll mit einer Verzögerung von ca. 50 ns ein logisches Signal ausgehen werden, das als Common-Stop-Signal vom DOBOT-TDC-ASIC verwendet werden kann, da eine Softwarelösung in dieser Geschwindigkeit nicht möglich wäre.
- f) Die Ausgangskapazität des Signalgenerators soll der der MDC-Driftkammer von  $\approx 4$  pF [CMS98] nahekommen.
- g) Die Schwellenspannung für den ASD8-ASIC soll im Bereich von 0 bis  $-5$  Volt regelbar generiert werden.
- h) Der Signalgenerator soll durch einen PC ansteuerbar sein.

Hierbei stellt Vorgabe (a) die größten Anforderung an die Elektronik, da die Generierung und Verarbeitung eines Signals in den Größenordnungen eines Kammersignals extrem problematisch ist, u.a. bzgl. Rauschempfindlichkeit.

Die Umsetzung erfolgt in zwei Modulen, einem digitalen Interface zum PC und dem eigentlichem analogen Signalgenerator. Die Ansteuerung durch den PC erfolgt über eine handelsübliche 2×48-Kanal digitale I/O-Karte für den PCI-Bus des PCs. Die Stromlaufpläne dieser beiden Karten befinden sich in Anhang A. Die Signalgenerierung geschieht wie folgt in zeitlicher Abfolge:

1. Die binäre Information für die Signalamplitude wird vom PC aus in ein Register des digitalen Interfaces geladen.
2. Auf ein Kommando vom PC hin wird von der Elektronik ein Schaltimpuls (CLK) generiert.
3. Sobald das CLK-Signal am Registerbaustein anliegt, gibt dieser seine Information auf die Eingänge eines schnellen Digital-Analog-Konverters (AD9713).
4. Gleichzeitig wird das CLK-Signal mit mehreren logischen Gattern verzögert und setzt ca. 50–70 ns später die Ausgabe des Registers zurück. Außerdem wird dieses Signal als Common-Stop-Signal für den TDC-ASIC ausgekoppelt.
5. In der Zeitspanne, in der die Amplituden-Informationen am DAC anliegen, generiert dieser ein Spannungssignal mit der entsprechenden Signalamplitude.
6. Dieses Signal gelangt auf den Analogteil des Signalgenerators und lädt einen Kondensator auf.
7. Das Entladestromsignal wird auf eine Operationsverstärkerschaltung (AD844) gegeben und erhält annähernd die zeitliche Charakteristik eines Kammer-signals (Anstiegszeit 30–50 ns, Abfallzeit 150–200 ns).
8. Das derart generierte Signal wird auf den Stromgenerator gegeben. Dessen Hauptkomponente (SHC615) erzeugt dem zeitlichen Spannungsverlauf des anliegenden Signals proportional folgend das Stromsignal. Desweiteren läßt sich dieser Baustein mit einem Signal aktivieren bzw. deaktivieren. Dies garantiert die gewünschte Aktivierbarkeit der Kanäle.
9. Das Signal wird der Analogkarte über ein FPC-Kabel zugeführt.

Die Schwellenspannung für die Diskriminatorstufe des ASD8-ASICs wird über einen 11-bit Digital-Analog-Konverter (DAC667) erzeugt (mehr zum Betrieb in Kapitel 5.1.2).

Die Ausgangskapazität der Stromquelle liegt mit  $\approx 2$  pF in der Größenordnung der MDC-Driftkammern mit  $\approx 4$  pF. Somit läßt sich das im Testaufbau ermittelte Signal/Rausch-Verhältnis auf die Verhältnisse im HADES-Aufbau anwenden.

Zur Übertragung des Signals vom Signalgenerator zur Analogkarte werden die gleichen FPC-Kabel verwendet (FPC: Flexible Printed Circuit) wie im HADES-Aufbau. Diese flexiblen, flachen gedruckten Schaltungen führen in einer Ebene parallel je vier Signale. Jede Signalstrecke ist jeweils umgeben von zwei auf Erdpotential liegenden Leitungen.

### 4.3.2 *DOBOT* — DBO-Testboard

Das Daughterboard-Testboard DOBOT übernimmt in diesem Aufbau die Funktionen, die das Motherboard im Experiment an den Driftkammern erfüllt:

- Die Digitalisierung der GTL-Impulse des Daughterboards zusammen mit dem externen Common-Stop-Signal des Signalgenerators.
- Die Bereitstellung der notwendigen Infrastruktur für die Analogkarte.
- Ein Schnittstelle zum Auslesen der TDC-ASIC-Daten zur Weitergabe an den Readout-Controller.

Die Aufgaben von DOBOT und MDC-Motherboard sind nahezu identisch. Daher lag es nahe das DOBOT in Anlehnung an die MDC-Mutterplatine den Anforderungen des Teststandes entsprechend zu entwickeln, mit folgenden Unterschieden:

- Die Anzahl der TDC-ASICs wurde von acht auf einen verringert. Das Auslesekonzept bleibt jedoch gleich, es erfolgt weiterhin durch das Senden des Tokensignals.
- Eine eigene 50-polige Schnittstelle zum Readout-Controller mit Treiberbausteinen wurde integriert.
- Statt einer Steckverbindungen zu einem einzigen Typ von Analogkarten wurde eine universelle 40polige Verbindung eingesetzt. Auf diese wird ein Adapter gesteckt, der die Verbindung zum Daughterboard herstellt.
- Damit das DOBOT auch zum Test des TDC-ASICs verwendet werden kann, wurde folgendes ergänzt:
  - Der TDC wurde in einem Testsockel untergebracht. Damit kann man diesen beliebig oft austauschen.

- Darüberhinaus befindet sich auf der Karte ein Oszillatorchip, dessen Frequenz von 156 kHz – 20 MHz als  $2^n$ -ter Bruchteil von 20 MHz ( $n = 0 \dots 7$ ) variiert werden kann. Diese externe Schaltfrequenz benötigt der TDC allein zum Betrieb seines Daten-Interfaces. Sie wird zur Erzeugung der internen Taktsignale genutzt. Durch die Variation dieser Basisfrequenz ergeben sich zusätzlich Möglichkeiten für den Test von TDCs.
- Zusätzlich wurde die Karte mit einer eigenen JTAG-Schnittstelle ausgerüstet. Der TDC-ASIC verfügt über Pins für die standardisierten JTAG-Signale [JTA97]. Aktive Bauelemente, z.B. Chips, die über eine solche Schnittstelle verfügen, können über diese Kontakte auf Fehler bei der Bestückung auf der Platine, z.B. „kalte Lötstellen“, überprüft werden. JTAG ermöglicht es mehrere beliebige Bausteine über die JTAG-Schnittstelle in Serie zu schalten. Es können sukzessiv Fehler einer Platine gefunden und behoben werden. Dazu wird eine binäre Testsequenz an den Anfang der Kette gegeben und mit den Daten am Ende verglichen. Neben der eigenen Fehlerdiagnose, kann damit das DOBOT auch dazu genutzt werden eine solche Testsequenz für den TDC-ASIC zu entwickeln.

Mehr zu diesem wichtigen Aspekt im 5. Kapitel.

Die Stromlaufpläne und die Bestückungsansicht befinden sich in Anhang A. Weitere Information zum Betrieb folgen im nächsten Kapitel.

### 4.3.3 Readout-Controller

Die Aufgabe des Readout-Controller ist die Ansteuerung und Auslese der TDC-Register für die Steuer- und Zeitdifferenzdaten. Dabei soll der Readout-Controller den TDC in allen token-getriebenen Moden ansprechen können. Das bedeutet u.a., daß er für die hohe Schnittstellengeschwindigkeit von 40 ns pro Taktzyklus (20 ns Low-Phase, 20 ns High-Phase) ausgelegt sein muß. Desweiteren wird verlangt, daß komplexe Funktionsabläufe, wie das Schreiben und Lesen der Steuerregister des TDCs und das Auslesen der Zeitdaten und Hitregister durch einen einzigen Funktionsabruf erfolgen kann, da eine Softwarelösung die Geschwindigkeitsvorgaben nicht erfüllen könnte.

Wie bereits erwähnt entstand der Readout-Controller im Rahmen einer Diplomarbeit an der Fachhochschule Gießen [Gei97b]. Sie ist als Einsteckkarte für den ISA-Bus eines PCs konzipiert und blendet ihren Speicherbereich in den des PCs ein. Sie ist damit direkt über das Busprotokoll des PCs ansteuerbar. Hauptkomponenten dieser PC-Karte sind zwei CPLD-Bausteine, sowie je zwei Aus- und Eingabe-FIFO-Speicherbausteine (FIFO, siehe Anhang E).

CPLDs, Complex Programmable Logic Devices, sind komplexe Bauglieder bestehend aus  $\approx 10^3$ – $10^4$  logischen Gattern, deren interne Verschaltung per Software direkt auf dem Readout-Controller „im System“ mehrere tausendmal geändert werden kann. Mit internen Signallaufzeiten von  $\approx 4$ ns sind die CPLDs in der Lage, die geforderten Geschwindigkeitsanforderungen zu erfüllen.

Die Aufgabe des ersten CPLD ist es in erster Linie die Kommunikation der Karte mit dem PC über das Busprotokoll zu handhaben. Die Konzepte hierzu wurden in einer Studienarbeit [Gei97a] erarbeitet. Der zweite CPLD übernimmt die Kommunikation mit dem TDC über die 50-polige Schnittstelle des DOBOTs. Um die Funktionalität der zwei wichtigsten Prozesse, das Schreiben von Steuerdaten in den TDC und das Auslesen von Zeit- und Hitdaten, zu verdeutlichen, werden diese im folgenden exemplarisch skizziert.

#### Schreiben von Steuerregisterdaten

Der PC schreibt an eine bestimmte Speicheradresse nacheinander die Werte, die den Steuerregistern des TDCs übergeben werden sollen. Diese Speicherstelle ist über den ersten CPLD mit dem Ausgabe-FIFO des ROCs verbunden. Der FIFO-Baustein kann bis zu 1024 Datenworte aufnehmen, so daß bis zu 256 Befehlsdatensätze für die 4 Steuerregister des TDCs im voraus angelegt werden können. Wird der Befehl zum Schreiben der Steuerdaten gegeben, setzt der zweite CPLD die entsprechenden Steuerleitungen des TDCs und der Treiberbausteine auf dem DOBOT. Dann sendet er ein Token-Signal an den TDC. Dieser übernimmt jetzt eigenständig das Einlesen der Daten in seine Steuerregister. Er generiert 4 Takt-

signale auf der sogenannten Strobeleitung. Zu jedem „Strobe“-impuls wird ein Datenwert aus dem FIFO gelesen. Der Prozeß ist abgeschlossen, wenn der TDC das Token an den zweiten CPLD zurücksendet.

### **Zeitdaten lesen**

Nachdem der PC den Befehl zum Zeitdatenlesen an das Steuerregister des Readout-Controllers gesendet hat, werden vom zweiten CPLD die entsprechenden Steuerpegel am TDC und an den Treibern gesetzt. Es folgt das Token-Signal an den TDC. Daraufhin generiert dieser für jeden Messwert ein Strobe-Signal. Dazu legt er jedesmal einen Zeitdifferenzwert inklusive der Kanal- und Hitinformation an den Datenbus. Der zweite CPLD des Readout-Controller empfängt diese und reicht sie an den Eingabe-FIFO weiter. Die Übertragung ist beendet, sobald das Token zum Readout-Controller zurückkehrt. Die Daten des Eingabe-FIFOs können mit einer externen Programmroutine vom PC abgelesen werden.

Die Funktionalität dieses Datentransfers ist unabhängig von der Anzahl der TDCs, da solange Daten gelesen oder zur Verfügung gestellt werden bis das Tokensignal zurückkehrt. Dieses kann innerhalb einer Kette von TDCs weitergereicht werden. Eine Beschränkung findet das Verfahren in der Adressierung der TDCs. Der ROC wurde so ausgelegt, daß maximal 2 TDCs unabhängig voneinander adressiert werden können. Auf dieses Verfahren kann im für 16-Kanal-Analogkarten ausgebauten DOBOT mit 2 TDCs zurückgegriffen werden. Verzichtet man auf die Unabhängigkeit, so sind nur noch Speichergrenzen seitens des ROCs gesetzt. Auf die Möglichkeit, den TDC im Chip-Select-Modus zu betreiben, wurde verzichtet, da der Platz in den CPLDs hierfür nicht ausreichte und dieser Modus für den Betrieb des Teststandes nicht benötigt wird.

Zusätzlich verfügt der ROC noch über ein per Software frei regelbares Verzögerungsglied, mit dem Signale, z.B. das Common-Stop-Signal, verzögert werden können. In Anhang A befinden sich ein Konzeptbild des Datenflusses auf dem ROC (Abbildung A.9) und ein Übersichtsbild der Karte mit seinen Komponenten (Abbildung A.10). Näheres zur generellen Funktion des TDCs siehe [TDC96]. Informationen über die Datenstruktur der Steuer- und Zeitdifferenzdaten finden sich in Anhang C.

#### 4.3.4 LabVIEW<sup>TM</sup> als Oberfläche

Die Vorgaben an die PC-Benutzer-Schnittstelle beinhalten, daß der Bediener des Meßstandes von den der Messung zu grunde liegende Details keine Kenntnis haben muß. Seine Aufgabe soll allein im Austausch des Daughterboards, der Eingabe einer die Analogkarte spezifizierenden Seriennummer und dem Auslösen des dann automatischen Meßvorgangs liegen.

Zur Programmierung dieser Schnittstelle wurde das kommerzielle Programmpaket LabVIEW<sup>TM</sup> der Firma National Instruments verwendet. Es bietet die Möglichkeit, mit einfachen Mitteln komplexe grafische Benutzeroberflächen zu schaffen. Die Programmierung erfolgt mit der grafischen Programmiersprache G. Im Gegensatz zu textorientierten Sprachen werden hier in einem objektorientierten Konzept aus diversen Basis-Funktions-Modulen höhere Funktionen, sogenannte *Virtual Instruments*, *VI*s, zusammengestellt. Zu jedem VI werden Ein- und Ausgabeschnittstellen definiert. Diese werden dann, vergleichbar einer Schaltplatine, grafisch über Leitungen miteinander verbunden. Die so erstellten VIs, können selbst wieder problemlos zu neuen virtuellen Instrumenten zusammengefaßt werden. In Anhang B ist in Abbildung B.3 ein solcher Programmablauf, das *Diagramm*, gezeigt.

Für die Ansteuerung und Auslese des Signalgenerators sowie des PC-Readout-Controllers wurden zunächst voneinander unabhängige Programme erstellt. Sie wurden zur generellen Funktionsprüfung der Einzelkomponenten verwendet. Im nächsten Schritt werden diese zu einem gemeinsamen Programm vereinigt.

Zur Überwachung und Bedienung des Signalgenerators entstand das Programm FFM.vi. Dieses greift direkt auf die Aus- und Eingabeports der digitalen I/O-Schnittstellenkarte des PCs zu. Es ermöglicht folgende Basisfunktionen:

- Variation der Signalamplitude per Schieberegler im Bereich von 0 – 100 % in 4096 Schritten.
- Änderung der Schwellenspannung im Bereich von 0 bis -4.95 Volt mit einer Schrittweite von 0.001 Volt
- Beliebige Aktivierung der 8 Kanäle des Signalgenerators

Darüberhinaus kann das Programm verschiedene Modi zum Erzeugen der Pulse, *Einzelpuls*, *periodisch wiederholende Pulse*, betreiben. Abbildung B.1 in Anhang B zeigt die grafische Oberfläche dieses Programms.

Das Ansprechen des Readout-Controllers zur Beeinflussung und Auslese des TDCs des DOBOTs erfolgt in einem ersten Schritt mit dem Programm TDC.VI. Es bietet die folgenden Funktionen an:

1. Im Einzelschrittverfahren kann das Steuerregister des ROCs zum Auslösen der TDC-Funktionen — *Reset*, *Init*, *Steuerdaten schreiben*, *Zeitdaten/Steuerdaten lesen* bestehen aus mehreren Einzelschritten — angesprochen werden. (Siehe hierzu: Anhang C.2.3)
2. Die FIFOs des ROCs werden beschrieben bzw. ausgelesen. Dabei werden im Fall der Steuerdaten, diese direkt in Klartext umgesetzt.
3. Komplexere Funktionsabläufe, die die Einzelschritte aus 1 zusammenfassen, können per Knopfdruck ausgelöst werden. (Mehr hierzu in Anhang C.2.2)

Die Ansteuerung des ROCs findet über den Aufruf von DOS-Routinen durch TDC.VI statt. Einen direkten, einfachen Zugriff auf den Speicherbereich des Readout-Controller verbietet das Speichersystem unter dem verwendeten Betriebssystem Windows 95<sup>TM</sup>. Dies wäre nur mit der Entwicklung eines eigenen Treibers für den ROC unter Windows zu umgehen. Eine Abbildung der Oberfläche dieses VI ist in Anhang B gezeigt.

In einem weiteren Schritt wurden in den Programmen CALIBRATECHANNEL.VI und EXTCALIBRATECHANNEL.VI die Funktionen aus TDC.VI übernommen. Mit CALIBRATECHANNEL.VI wird der interne Kalibrationszyklus des TDCs ausgelöst und die erzeugten Daten ausgelesen. EXTCALIBRATECHANNEL.VI erzeugt über den ROC einen realen Puls, der über eine Adapterkarte (AHTDC, siehe Anhang A) erfaßt und vom TDC des DOBOTs digitalisiert wird. Die Programme ermöglichen es Meßdaten von  $\approx 10^5 - 10^7$  Kalibrationen komfortabel zu erfassen. Die Oberflächen der beiden Programme sind nahezu identisch. Sie bieten für eine erste Sichtung die grafische Präsentation der Daten in verschiedenen Darstellungsmodi an. Die Abbildungen in Anhang B zeigen die grafischen Oberflächen des Programms CALIBRATECHANNEL.VI mit normaler und Histogrammansicht. Das genaue Verfahren und die Ergebnisse dieser Programme werden in den Abschnitten 5.2.2, 5.2.1 und 6 behandelt.

Mit diesen vier Komponenten, Signalgenerator, DOBOT, PC-Readout-Controller und LabVIEW<sup>TM</sup>-Oberfläche, werden die in Abschnitt 4.1 gestellten Anforderungen weitgehend erfüllt. Im nächsten Kapitel folgt die Inbetriebnahme der Komponenten sowie Messungen mit dem System zu Eigenschaften des TDC-ASICs.

# Kapitel 5

## Inbetriebnahme und Messungen

In diesem Kapitel wird die Inbetriebnahme (Abschnitt 5.1) der einzelnen Komponenten und ihre Leistungsfähigkeit demonstriert. Im Anschluß werden erste Messungen mit dem Teilsystem an den TDC-ASICs (Abschnitt 5.2) besprochen. Die resultierenden Ergebnisse werden im anschließenden 6. Kapitel präsentiert.

### 5.1 Inbetriebnahme

#### 5.1.1 PC-Readout-Controller ROC & DOBOT

Die Anforderungen an den PC-Readout-Controller bestehen darin, den TDC-ASIC auf dem Daughterboard-Testboard DOBOT anzusteuern und auszulesen, inklusive der Ansteuerung der Treiberbausteine der DOBOT-Schnittstelle. Dabei sollten komplexe Prozesse vom PC mit einem Steuerkommando ausgelöst werden. Ebenso sollte die volle Schnittstellengeschwindigkeit von 40 ns pro Taktzyklus im sogenannten Token-Modus benutzt werden. In [Gei97b] wurden diesen Funktionalitäten im Readout-Controller implementiert und zunächst ohne TDC getestet und optimiert. Im zweiten Schritt wurden der PC-Readout-Controller und DOBOT zusammen in Betrieb genommen. Die Ein- und Auslesevorgänge wurden in diesem Stadium mit auf MS-DOS basierenden C-Programme durch das Beschreiben des Steuerregisters des ROCs ausgelöst. Die Kommunikation mit dem PC erfolgt über den Zugriff auf die FIFOs sowie auf das Steuerregister des ROCs. Die Abbildungen 5.1 bis 5.3 wurden mit einem Logikanalysator aufgezeichnet. Sie zeigen den zeitlichen Ablauf der Signalerzeugung von ROC und TDC für die Prozesse:

1. *Steuerdaten schreiben, 60ns-Taktzyklus*
2. *Steuer- und Hitregister auslesen, 40ns-Taktzyklus*
3. *Zeitdifferenzdatenregister auslesen, 40ns-Taktzyklus.*

Über die Signalpegel *GSI 1*, *GSI 2*, *C/T (Chip-Select/Token)*, *C/D (Control-/Timedata)*, *R/W (Read/Write)*, *RST (Reset)*, *INI (Init)* bereitet der ROC den Datentransfer vor. Mit den Signalpegeln *DATBEN*, *ADBEN 1*, *ADBEN 2* wird die Durchlaßrichtung der Treiberbausteine des DOBOTs festgelegt. Nachdem dieses geschehen ist, sendet der ROC das *TOKEN (1)*. Der TDC produziert entsprechend der Zahl der vorliegenden bzw. zu erwartenden Daten „Strobe“-Signale (2). Bei jeder Flanke werden abwechselnd Daten an den Adress- und Datenbus angelegt oder von der Gegenseite übernommen. Abschließend wird das Token zurückgesendet (3). Das Eingangstoken wird vom ROC zurückgenommen (4), danach die Rückantwort vom TDC (5). Die Mechanismen der Datentransfers werden eingehend in [TDC96] beschrieben.

Die internen Signale *F\_CHIP*, *F\_INIT* und *F\_TOK* des zweiten CPLDs wurden zu Kontrollzwecken mitangezeigt.

Die Abbildungen belegen eindeutig, daß der PC-Readout-Controller zusammen mit dem DOBOT in der Lage ist, die an ihn gestellten Vorgaben zu erfüllen, und daß der TDC bei allen Schnittstellengeschwindigkeiten einwandfrei betrieben werden kann.

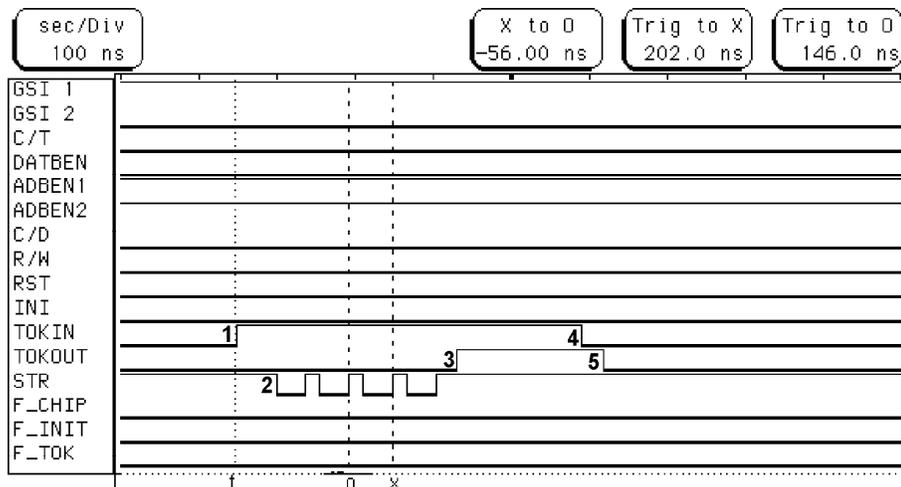


ABBILDUNG 5.1: Control-Daten schreiben, 60 ns Taktzyklus. Nach dem Eintreffen des Tokensignals (1) erzeugt der TDC-ASIC pro Datenwort für die 4 Steuerregister eine Strobesequenz (2) und sendet im Anschluß (3) das Tokensignal zurück. (Aufnahme vom Logikanalysator)

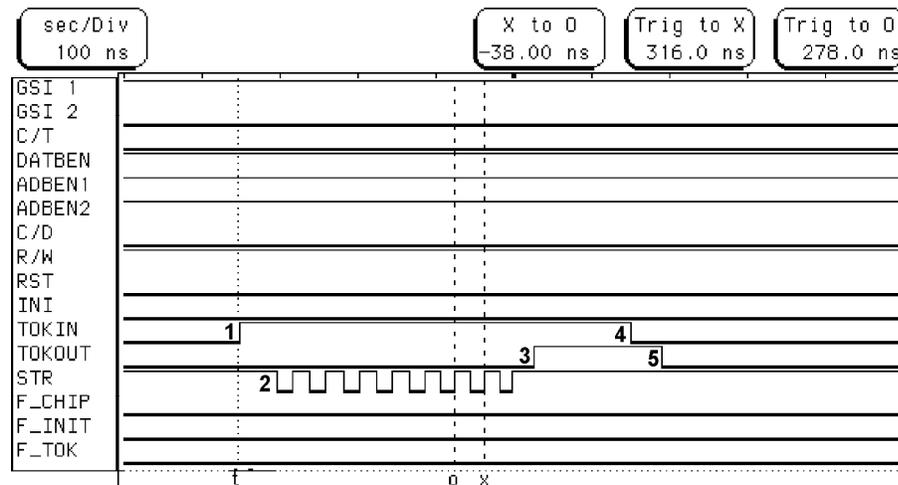


ABBILDUNG 5.2: Control- und Hitdaten lesen, 40 ns Taktzyklus. Der TDC-ASIC erzeugt zunächst für die vier Steuerregister- und dann für die vier Hitregister je eine Strobesequenz. Dazu passend wird der Adress- und Datenbus angesprochen (hier nicht gezeigt).

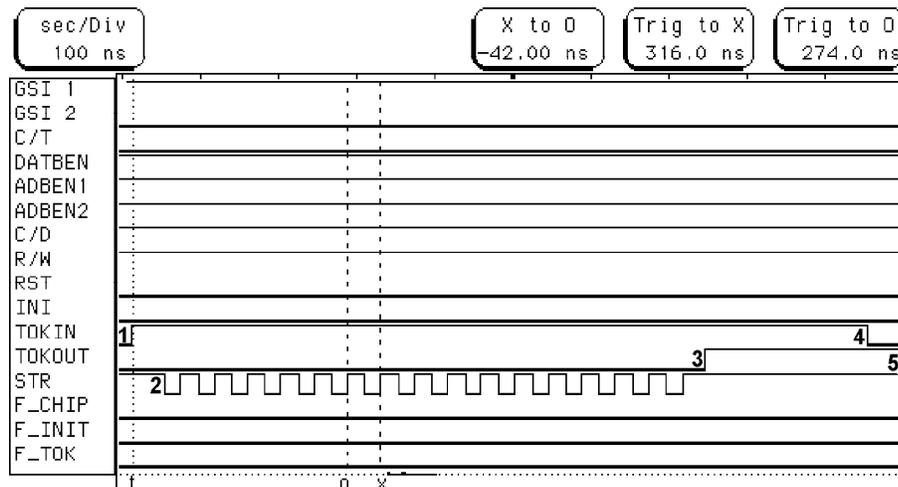


ABBILDUNG 5.3: Zeit-Daten lesen, 40 ns Taktzyklus. Mit einer internen Kalibration wurden auf allen acht Kanälen jeweils zwei Meßwerte erzeugt. Dementsprechend generiert der TDC-ASIC 16 Strobeimpulse (2). In der Reihenfolge Hit1, Hit2 und Kanal 1 bis Kanal 8 werden die Zeitdifferenzdaten auf den Adress- und Datenbus gelegt.

### 5.1.2 Signalgenerator

Dem Signalgenerator obliegt die Erfüllung der in Kapitel 4, Abschnitt 4.3.1 gestellten Anforderungen. Bezüglich Anstiegs- und Abfallzeiten des Signal ist zu erwarten, daß dieser der Vorgabe nahe kommt, aber es nicht ideal nachbilden kann. Die Ursache ist u.a. darin zu suchen, daß die Kosten, für Komponenten mit einer Präzision und Geschwindigkeit im Subnanosekundenbereich, für das Projekt nicht tragbar wären. Ansonsten hätte man auch auf kommerzielle Signalgeneratoren zurückgreifen können. Das in 4.3.1 dargestellte Konzept der Signalgenerierung erfüllt alle gestellten Anforderungen für die Zwecke des Teststandes. Die Anstiegszeit der Signale liegt bei 50ns und die Abfallzeit in der Größenordnung von  $\approx 70\text{--}300\text{ ns}$ . Die Signalamplitude kann in 4096 Schritten von Null bis zum Maximalbetrag von  $\approx 20\mu\text{A}$  verändert werden. Abbildung 5.4 zeigt die von der Impulsformung und der Stromquelle produzierten Signale.

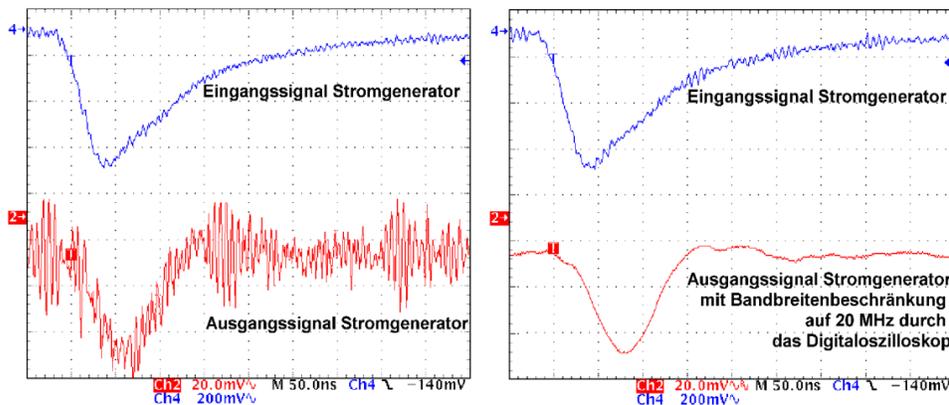


ABBILDUNG 5.4: Signale des Signalgenerator gemessen vor und hinter dem Stromgenerator. Um die Signale besser darzustellen, wurde rechts im nachhinein mit Hilfe des Digitaloszilloskops die dargestellte Bandbreite auf 20 MHz beschränkt. Damit konnten die hochfrequenten Signalanteile unterdrückt werden.

Sie zeigt aber auch deutliche Probleme bzgl. der Empfindlichkeit auf Störquellen, u.a. sind eine 5 Mhz Schwebung zu erkennen, die mit einer Einschränkung auf Frequenzen  $lt 20\text{ MHz}$  verschwindet. Die Komponenten der Signalerzeugung werden in ihrem untersten Grenzbereich, nahe dem Untergrundrauschen betrieben. Damit ist der Aufbau sehr anfällig auf Einstreuungen von außen. Mögliche Quellen sind u.a. die aktive digitale Elektronik des Signalgenerators und die Einstreuungen durch die Ausleseprozesse auf dem DOBOT, die in diesem Aufbau

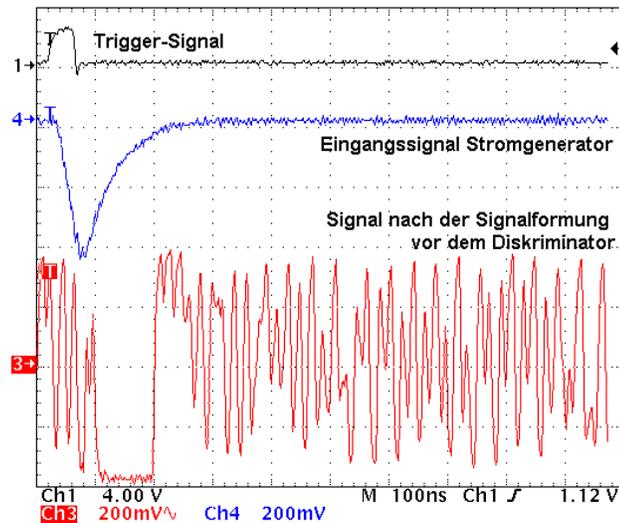


ABBILDUNG 5.5: Signalgenerator, Einstreuungen. Kanal 1 stellt ein Trigger-Signal dar, Kanal 2 das Eingangssignal zum Stromgenerator und Kanal 3 das verrauschte Endsignal, nachdem es die Verstärkerstufe (in der Sättigung) und die Signalformung passiert hat.

nicht vollständig eliminiert werden können. Insbesondere der Übertragungsweg zum Daughterboard über die nicht abgeschirmten FPC-Kabel erweist sich als Störquelle. Abbildung 5.5 zeigt das über die FPC-Kabel übertragene Signal nachdem es das FPC-Kabel, die ASD8-Verstärkerstufe und die Signalformung passiert hat. Der Verstärker ist in der Sättigungsphase. Die hochfrequenten Einstreuungen sind annähernd von der gleichen Amplitude. Dieses Signal läßt sich von der nachfolgenden Diskriminatorstufe nicht mehr verwerten.

Zur Verbesserung der Empfindlichkeit bzgl. Einstreuungen und einem besseren Signal/Rausch-Verhältnis können folgende Maßnahmen beitragen:

- Einfügen eines Tiefpaßgliedes auf dem Signalgenerator unmittelbar nach der Signalstromquelle zum Herausfiltern der hohen Frequenzanteile. Dabei muß beachtet werden, daß ein solcher Filter:
  - a) die ohnehin geringe Signalhöhe reduziert und
  - b) die Anstiegszeit sich umso mehr vergrößert, je größer die Zeitkonstante  $\tau_0$  des Tiefpasses gewählt wird.

Dies wurde experimentell verifiziert und das Ergebnis ist in Abbildung 5.6 dargestellt.

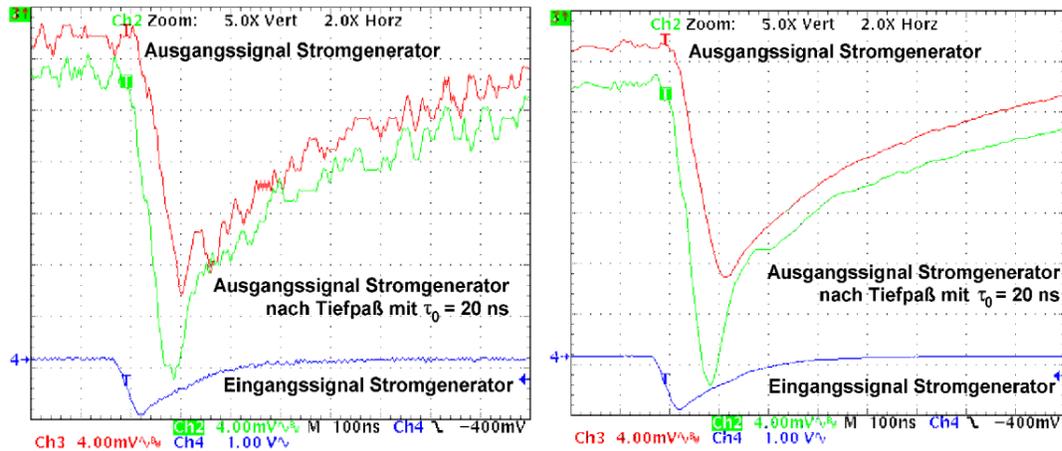


ABBILDUNG 5.6: Tiefpaßlösung für den Signalgenerator. Rechts wurden mit dem Digitaloszilloskop der Mittelwert aus 1000 Messungen gebildet, um die Signalform sichtbar zu machen.

- Zum Aufbau des Generators wird eine mehrlagige Platine benutzt, die neben den Signallagen eigene, großflächige Lagen für Versorgungsspannung und Erde besitzt. Hiermit sollte die Empfindlichkeit auf Einstreuungen weiter vermindert können.
- In einer zweiten Generation der FPC-Kabel im Zusammenhang mit den neuen Daughterboards werden die Eigenschaften des differentiellen Eingangs der Analogkarte zur Rauschunterdrückung genutzt. Die Kabel erhalten zusätzlich zu den Signalbahnen Leitungen, die offen an der Kammer/am Signalgenerator enden und am Verstärker den zweiten differentiellen Eingang nutzen. Diese Blindleitungen, die in der ersten Version des Daughterboards auf der Karte endeten und jetzt weitergeführt werden, nehmen den gleichen Untergrund wie die Signalbahnen war. Einstreuungen, die auf dem Kabel auftreten, heben sich beim Verstärken durch den Differenzverstärker gegenseitig auf. Dieses Verfahren wird als *common-noise rejection* bezeichnet.

### 5.1.3 Das Gesamtsystem

Die Einzelsysteme haben bis auf die angesprochenen Einschränkungen beim Signalgenerator, die Funktionsfähigkeit des in Kapitel 4 entworfenen Teststands bewiesen. Alle Hardware-Komponenten sind mittels der in Abschnitt 4.3.4 beschriebenen LabVIEW<sup>TM</sup>-Oberflächen voll ansprechbar. Die nur mittelfristig lösbaren Probleme bei der Rauschunterdrückung am Signalgenerator haben jedoch die Vollendung eines für Massentests verwendbaren Teststandes im Rahmen dieser Diplomarbeit verhindert. Der jedoch als Prototyp vorhandene Teststand ließ es zu, die Probleme und Schwächen eines solchen Aufbaus zu lokalisieren. Arbeiten an einem entsprechend modifizierten Teststand sind z.Z. im Gang, siehe Kapitel 7.

Trotz des Problems bzgl. der Verwendung des Gesamtsystems zum Testen von Analogkarten konnten dennoch die vollfunktionsfähigen Teilsysteme zum Bestimmen von Eigenschaften des TDC-ASICs verwendet werden. Diese Messungen stellten sich als sehr hilfreich für das Verständnis der Arbeitsweisen des TDC-ASICs heraus und werden im folgenden Abschnitt 5.2 beschrieben und 6. Kapitel ausgewertet.

## 5.2 Messungen

Zielsetzungen der folgenden Messungen am TDC-ASIC sind

- a) die durch die Gatterlaufzeiten bestimmte intrinsische Auflösung des Meßkreises zu bestimmen. Mittelfristige Einflüsse durch Schwankungen der Temperatur oder der Versorgungsspannung (vergl. [Wüs97]) sollten mit einer vergleichsweise kurzen Meßdauer (5-20 Minuten) und hohen Ereignisraten ( $\geq 10^3 \text{ s}^{-1}$ ) vernachlässigbar sein.
- b) die interne Kalibrationsfrequenz, welche mit  $\approx 200 \text{ ns}$  angegeben ist [TDC96], anhand der in (a) bestimmten Auflösung zu verifizieren.

Für beide Messungen werden das Daughterboard-Testboard, der PC-Readout-Controller sowie die LabVIEW<sup>TM</sup>-Oberflächen CALIBRATECHANNEL.VI bzw. EXTCALIBRATECHANNEL.VI eingesetzt.

### 5.2.1 Kalibration mit externem Puls

Die Bestimmung der intrinsischen Auflösung des TDCs erfolgt mit dem in Abbildung 5.7 skizzierten Aufbau. Von der Softwareseite aus kann mit EXTCALIBRATECHANNEL.VI auf dem PC-Readout-Controller ein logisches Trigger-Signal erzeugt und an seiner STOP-Buchse ausgegeben werden. Dieses Signal löst seinerseits einen Rechteckimpuls an einem externen (kommerziellen) Pulsgenerator aus. Der positive Puls hat eine Breite  $\Delta t$  von  $500 \pm 20 \text{ ns}$  und eine Anstiegs-/Abfallzeit  $\leq 5 \text{ ns}$ . Anschließend wird er in zwei Signale aufgeteilt. Aus dem ersten Teil werden zwei zueinander komplementäre Signale generiert. Dieses Impulspaar bildet den Startimpuls. Über einen Adapter (AHTDC, siehe Anhang A, dessen speziellen Treiberbausteine nicht genutzt werden) gelangt der Startimpuls auf die differentiellen GTL-Eingänge der 8 TDC-Kanäle. Bei den Messungen wurde jeweils nur ein Kanal angesprochen. Der TDC-Eingang registriert den Puls, sobald das Summensignal der beiden Anteile einen Nulldurchgang erfährt. Der zweite Teil des Basispulses wird über die Laufzeit in einem Kabel, „Kabeldelay“, um ein ganzzahliges Vielfaches von 300 ns verzögert und auf den Common-Stop-Eingang des DOBOTs gelegt. Die Schaltung ist so ausgelegt, daß allein das präzise Kabeldelay die Verzögerung bestimmt.

Im folgenden wurden Meßreihen für die Verzögerung zwischen Startpuls und Stopimpuls von 600 ns, 900 ns und 1200 ns aufgenommen. Hierbei wurde jeweils zur steigenden und fallenden Flanke des Eingangssignals ein Start generiert. Somit ergeben sich für jedes Kalibrationssignal zwei Zeitdifferenzwerte, zwei sog. Hits. Für einen „kleinen“ Meßdurchlauf füllt die Software, EXTCALIBRATECHAN-

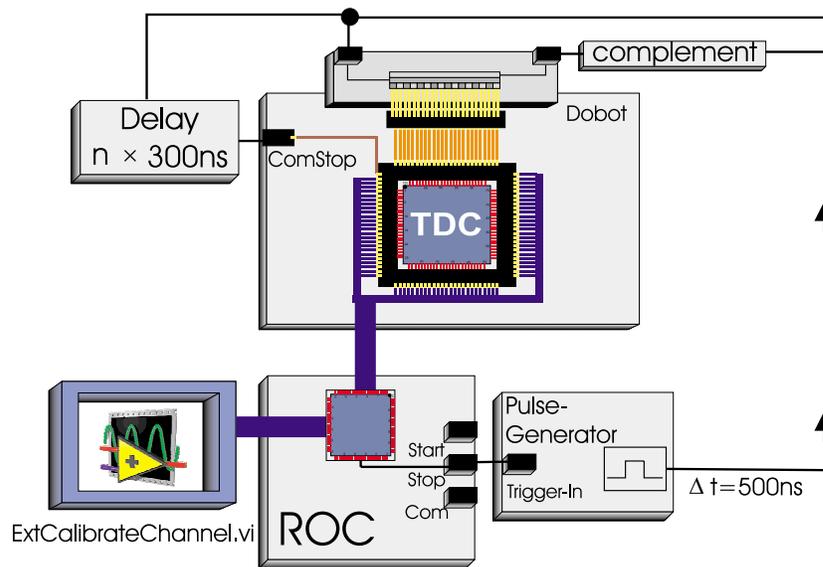


ABBILDUNG 5.7: Ablaufplan der externen Kalibrierung des TDCs

NEL.VI, den maximal 1024 Werte fassenden Ausgabe-FIFO des ROCs mit  $4 \times 256$  Werten für die 4 Steuerregister des TDCs. Dann wird 256mal folgende Meßsequenz ausgeführt.

1. Zurücksetzen aller TDC-Register (*RESET*)
2. Initialisierungsvorgang für den TDC-ASIC (*INIT*)
3. Beschreiben der 4 Steuerregister des TDC-ASICs
4. Auslösen des Triggersignals
5. Auslesen der zwei Zeitdifferenzwerte in den Eingabe-FIFO. Der TDC-ASIC sendet die Zeitdifferenzwerte in der Reihenfolge ihres Eintreffens.

Nachdem diese Sequenz 256mal durchlaufen wurden, werden der FIFO ausgelesen und die Daten abgespeichert. Die Punkte 1 bis 3 sind notwendig, da zu diesem Zeitpunkt der TDC-ASIC nicht automatisch in der Lage war, einen alten Meßwert zu überschreiben. Dies wurde in der neuen TDC-ASIC-Generation korrigiert. Die kleinen Durchläufe können beliebig oft wiederholt werden. Die Daten der einzelnen Runden werden zu einer Datei zusammengefaßt. Bezüglich der Dateigrößen und der Rechnerkapazität sowie einer ausreichenden Statistik haben sich Werte zwischen 250 und 2000 Runden als praktikabel erwiesen. Abbildung 5.8 zeigt einen Ausschnitt aus einem solchen Datensatz für eine Verzögerung von 900ns. Es

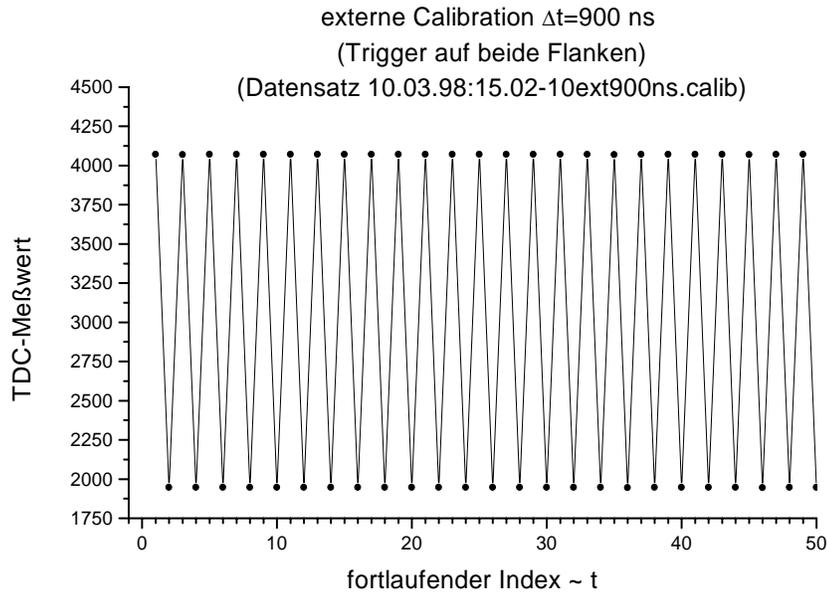


ABBILDUNG 5.8: externe Kalibration, 900ns, Ausschnitt

ist zu sehen, daß pro Durchlauf zuerst der größere Startwert (Hit 1) und dann der kleinere (Hit 2) ausgegeben wird. Dadurch ergibt sich die „Sägezahnstruktur“. Die Abstände zweier solcher Zähne sind nicht unbedingt äquidistant, da sie von den zeitlich geringfügig variierenden, externen Prozessen der Signalerzeugung und Ausleseprozessen abhängen.

Die folgenden Abbildung 5.9 zeigt jeweils eine Übersicht über die Meßdaten. Ein Datensatz entspricht etwa einer Meßdauer von 5-30 Minuten.

Die Abbildungen belegen, daß die Meßwerte nur in einem geringen Maße um einen Mittelwert schwanken. Mit Ausnahme der 1200ns-Kalibration zeigen sich keine Einflüsse durch Temperaturschwankungen, die sich auf die Gatterlaufzeiten auswirken würden [Wüs97].

Die vom Readout-Controller ausgelesen TDC-Meßwerte haben eine maximale Breite von 11 Bit. Die oberen 3 Bit des 14 Bit breiten Datenbusses des TDCs werden aus Platzgründen nicht ausgelesen. Im Falle der 1200ns-Messung wird deshalb zum Wert vom ersten Hit (Hit 1) das zwölfte Bit ergänzt, da hier diese Werte den 11-Bit-Bereich überschreiten.

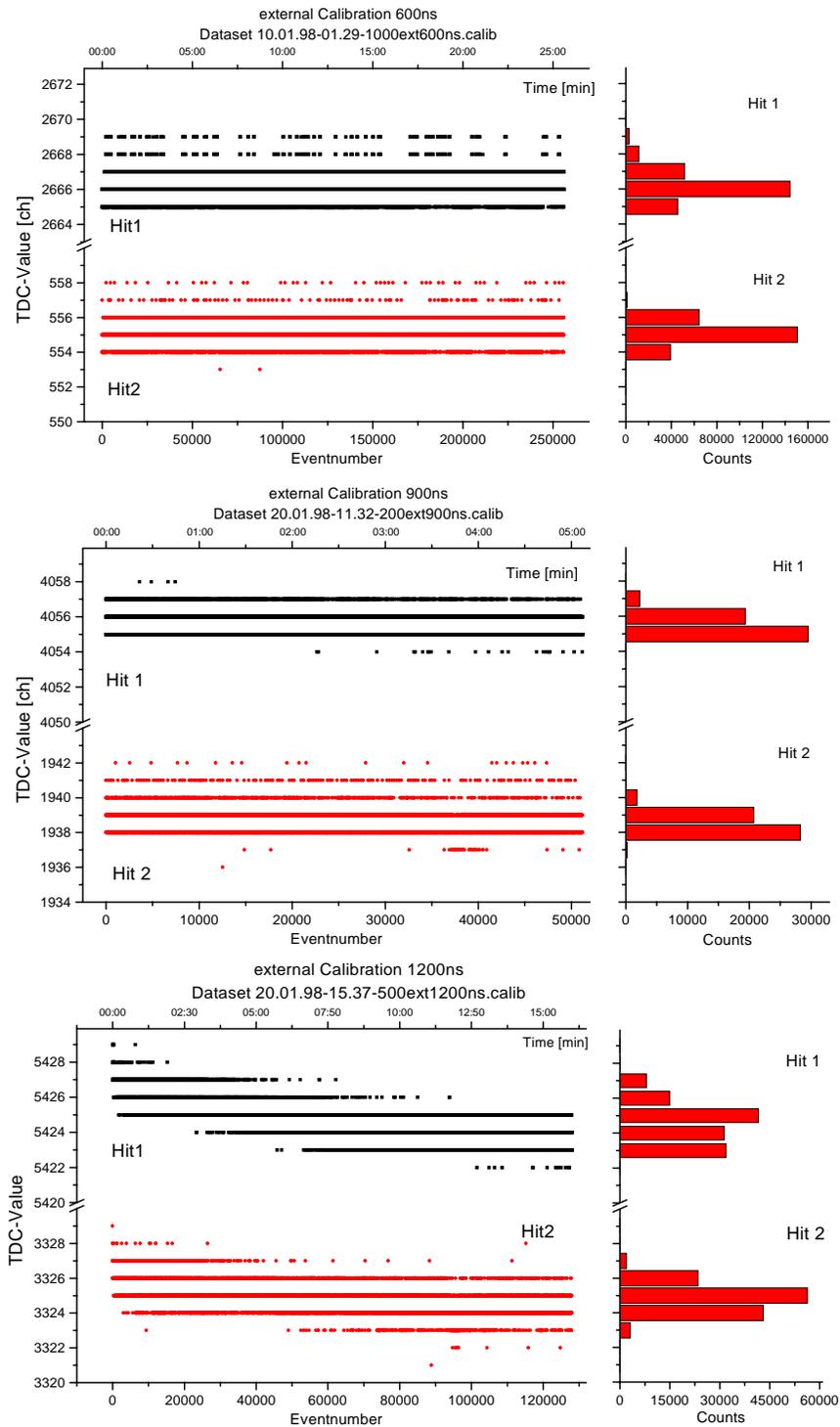


ABBILDUNG 5.9: externe Kalibration, 600 ns, 900 ns und 1200 ns, Übersicht über den groben zeitlichen Verlauf der Meßwerte über die gesamte Messung. Die Meßdauer beträgt zwischen  $\approx 5$ –30 min. Rechts sind jeweils die Histogramme der einzelnen Hits dargestellt.

### 5.2.2 interne Kalibration des TDC

Zur sogenannten internen Kalibration wird ein in den TDC-ASIC integrierter Kalibrationsmechanismus [TDC96] angewendet. Ausgelöst wird dieser durch das Setzen eines Bits in den Steuerregistern des TDCs. Daraufhin generiert der TDC vier äquidistante Pulse. Die ersten drei davon dienen als Startpulse und werden intern zu den Messeingängen geleitet. Der vierte Puls dient als Stoppuls und gelangt zum Common-Stop-Eingang des Meßkreises. Wird auf beide Flanken der Startpulse ein Hit ausgelöst, so ergeben sich insgesamt 6 Meßwerte pro Kalibrationsvorgang. Abbildung 5.10 zeigt das Prinzip dieses Verfahrens und die Reihenfolge in der Zuordnung der Meßwerte zur Hitnummer.

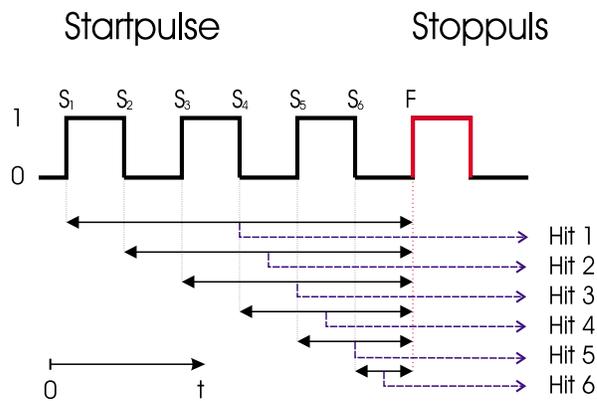


ABBILDUNG 5.10: Interne Kalibration - Meßprinzip

Das Verfahren von CALIBRATECHANNEL.VI zum Erfassen der Meßdaten ähnelt dem der externen Kalibration. Ein „kleiner“ Durchlauf für eine Erfassung aller sechs möglichen Meßwerte umfaßt die folgenden Aktionen:

1. Füllen des Ausgabe-FIFOs mit 170 Datensätzen zu je vier Datenworten.
2. Zurücksetzen der Steuerregister
3. Initialisierung des TDCs
4. 170mal die folgende Meßsequenz (der Eingabe-FIFO des ROCs kann maximal 1024/6 komplette Messdatensätze aufnehmen):
  - (a) Schreiben der Steuerregisterdaten. Mit dem Beschreiben der Register wird die Kalibration ausgelöst.
  - (b) Auslesen der sechs Zeitdifferenzwerte in den Eingabe-FIFO des ROCs.
5. Auslese des Eingabe-FIFOs und speichern der Daten.

Auch dieser Zyklus kann beliebig oft (250 bis 1000mal) wiederholt werden. Die Abbildungen 5.11 und 5.12 zeigen jeweils einen Ausschnitt bzw. die Übersichtsansicht über einen Datensatz. In der Ausschnittsansicht erkennt man die „Sägezahnstruktur“ in den Daten: Jeweils sechs Zeitdifferenzwerte pro Messung, mit einem Abstand von  $\approx 900$  Einheiten. Für die ersten beiden Hits mußte jeweils das zwölfte Bit ergänzt werden. Der Abstand zwischen zwei Zähnen ist wiederum zeitlich variabel

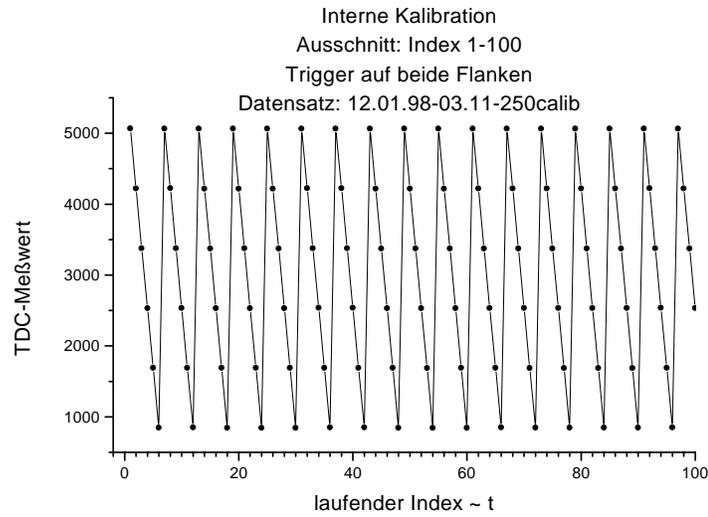


ABBILDUNG 5.11: Interne Kalibration, Ausschnitt

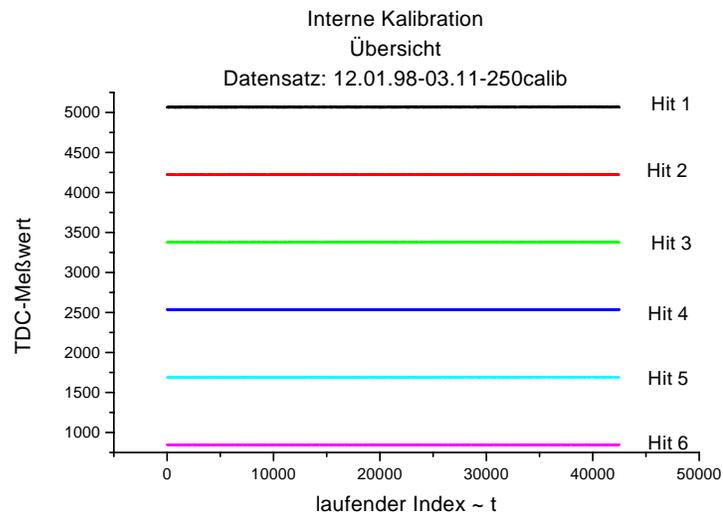


ABBILDUNG 5.12: Interne Kalibration, Übersicht



# Kapitel 6

## Erste Ergebnisse

In diesem Kapitel werden erste Meßergebnisse der externen Kalibrationsmessungen mit Zeitdifferenzen von 600 ns, 900 ns und 1200 ns und der vom TDC intern durchgeführten Kalibration präsentiert, die aus den Daten der Messungen des vorangehenden 5. Kapitels gewonnen wurden. Ziel ist es, zuerst mit Hilfe der Daten der externen Kalibration die Auflösung  $\text{res}_{\text{TDC}}$  des TDC-Meßkreises zu bestimmen. Danach wird anhand dieses Ergebnisses die Periode  $T_{\text{calib}}$  der intern vom TDC-ASIC erzeugten Kalibrationspulssequenz verifiziert.

### TDC-Auflösung

Die TDC-Auflösung wird zunächst für jeden TDC-Meßwert der ersten Hits einzeln zusammen mit Verzögerung nach der folgenden Eichgleichung berechnet:

$$\text{Auflösung res} \frac{[\text{ps}]}{[\text{ch}]} = \frac{\text{Verzögerung} \frac{[\text{ns}/1000]}{[\text{ch}]}}{\text{TDC-Meßwert} \frac{[\text{ch}]}{[\text{ch}]}}$$

Die Verteilungen der ermittelten Daten werden mit einer Gauß'schen Normalverteilung approximiert. Die Auflösung der TDC-Meßeinheit  $\text{res}_{\text{TDC}}$  entspricht dem berechneten Mittelwert der Verteilung mit der Standardabweichung  $\sigma$ . Die Abbildungen 6.1 und 6.2 zeigen für verschiedene Verzögerungswerte in einer Übersicht über der Ereignisnummer aufgetragen die berechneten Auflösungen und deren Verteilungen. Tabelle 6.1 faßt die gewonnenen Daten zusammen:

	Verzögerung [ns]	Auflösung $\text{res}_{\text{TDC}}$ [ps/ch]	Standardabweichung $\sigma$ [ps/ch]
600	$636,6 \pm 0,6$	$238,76 \pm 0,225$	0,055
900	$961,6 \pm 0,8$	$237,07 \pm 0,197$	0,035
1200	$1293,0 \pm 0,6$	$238,36 \pm 0,111$	0,052

TABELLE 6.1: Zusammenfassung der Ergebnisse aus den Abbildungen 6.1 und 6.2

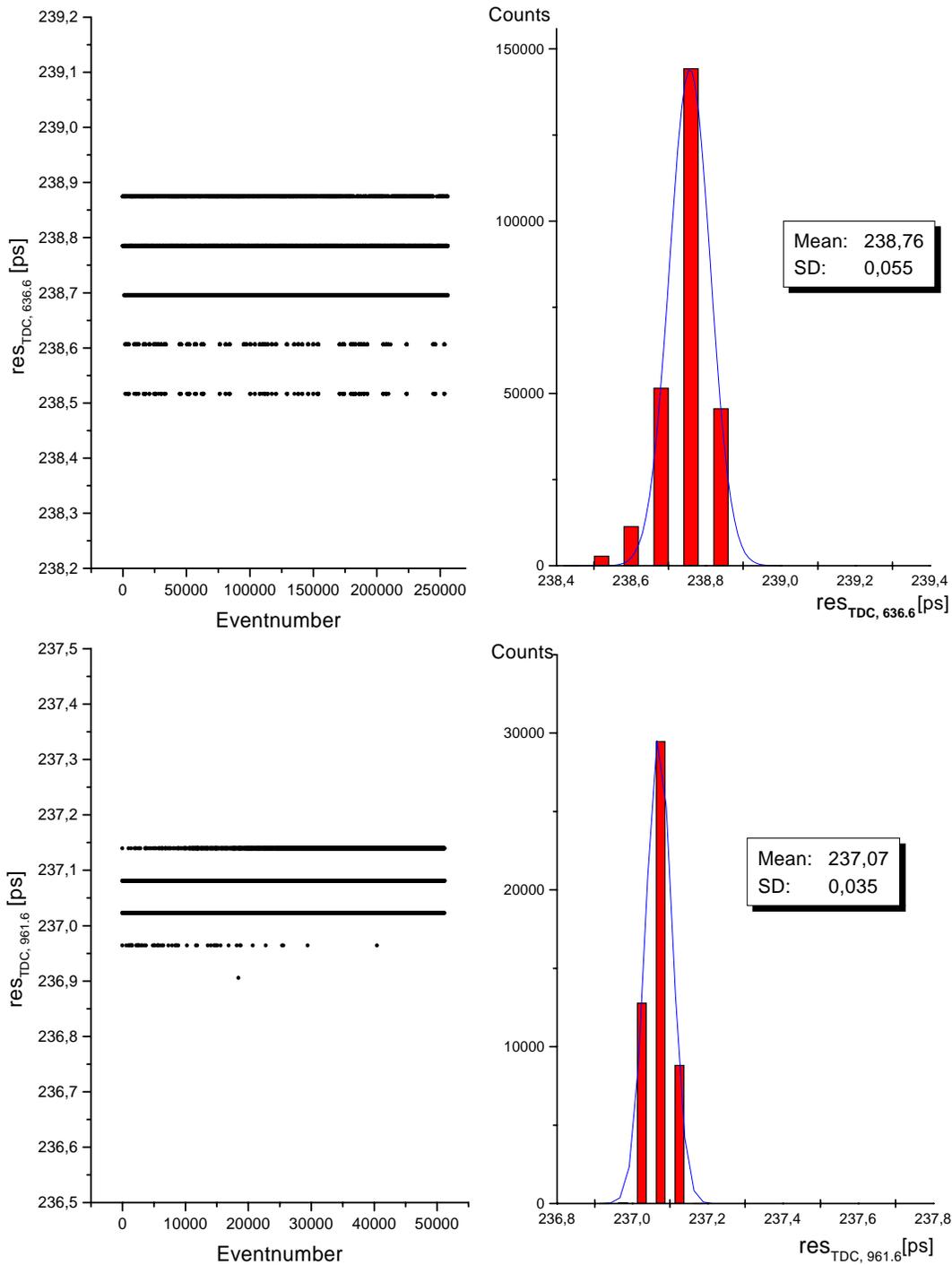


ABBILDUNG 6.1: Die berechnete Auflösung  $res_{TDC}$  für jeden Kalibrationszyklus ist jeweils im linken Bild über der fortlaufenden Nummer der Kalibrationszyklen aufgetragen. Die rechte Abbildung zeigt deren Verteilung und die Approximation durch eine Gauß-Funktion. Von oben nach unten sind zeilenweise die Daten für Verzögerungen von  $636,6 \text{ ns} \pm 0,6 \text{ ns}$  und  $961,6 \text{ ns} \pm 0,8 \text{ ns}$  gezeigt.

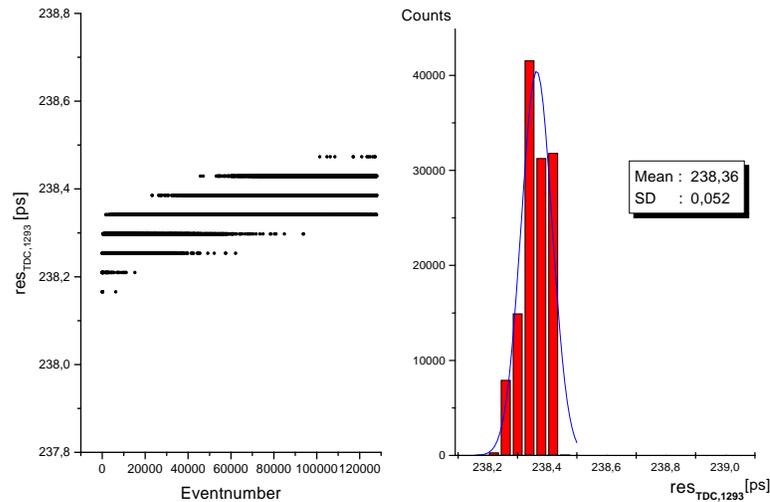


ABBILDUNG 6.2: Auflösung des TDC-Meßkreises für externen ( $1293 \pm 0,6$ ) ns Kalibrationspuls, vergl. Abbildung 6.1. (Der ansteigende Trend der Daten in der Übersicht ist auf thermische Einflüsse, vergl. [Wüs97], zurückzuführen.)

Im arithmetischen Mittel ergibt sich aus den drei ermittelten Werten für die Auflösung des TDC-ASIC-Meßkreises:

$$res_{TDC} = 238 \text{ ps} \pm 2 \text{ ps}$$

Dieses Ergebnis stimmt mit der Größenordnung der vom TDC-ASIC-Hersteller Gleichmann spezifizierten 200–300 ps überein [TDC96].

## Interner Kalibrationszyklus

Um die vom TDC für die interne Kalibration genutzte Taktfolge zu verifizieren, werden zunächst die Verteilungen der TDC-Meßwerte für jeden Hit aufgetragen. Es ergibt sich das in Abbildung 6.3 gezeigte Bild.

Während die Meßwerte für die steigenden Flanken, Hit 1, Hit 3 und Hit 5, eine einzelne Spitze aufweisen, zeigen die Daten der fallenden Flanken eine eindeutige Doppelstruktur mit einem Abstand der Zentren von etwa 4–6 Einheiten. Diese reproduzierbare Struktur tritt aus bisher nicht erklärbaren Gründen nur bei der internen Kalibration auf. Das Phänomen stellt jedoch kein Problem für Messungen im HADES-Experiment dar, da dort prinzipiell nur die steigenden Flanken registriert werden.

Die Verteilung um jede einzelne Spitze besitzt bei allen Meßwerten eine schmale Standardabweichung vom Mittelwert in der Größenordnung von  $\approx 2$  Einheiten.

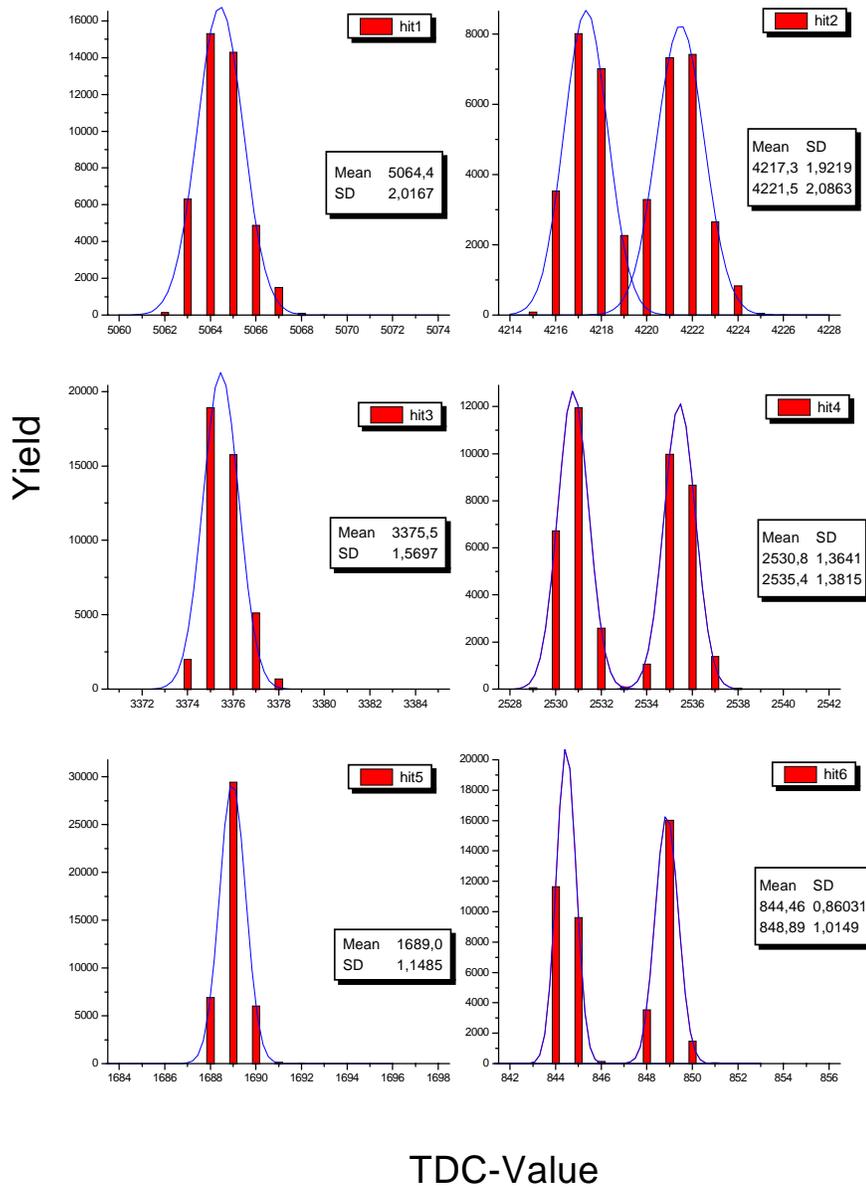


ABBILDUNG 6.3: Für jeden der sechs gemessenen Zeitdifferenzwerte der Hits 1 bis 6 der internen Kalibrierung ist die Verteilung der Meßwerte aufgetragen. Jede dieser Verteilungen wurde mit einer Gauß'schen Normalverteilung approximiert. Hieraus ergeben sich die Werte für den Mittelwert (Mean) und die Standardabweichung (SD)

Im nächsten Schritt werden die Differenzen zwischen zwei aufeinanderfolgenden Zeitdifferenzdaten,  $Hit(i) - Hit(i + 1)$ ,  $i = 1 \dots 5$ , ermittelt. Diese Differenz entspricht der Breite eines Kalibrationspulses bzw. der halben Kalibrationspulsperiode. Um Einflüsse durch die Doppelstruktur der geraden Hits zu umgehen, wird die Periode eines Kalibrationspulses nur über die Differenz der ungeraden Hitnummern,  $Hit(i) - Hit(i + 2)$ ,  $i = 1, 3$ , bestimmt. Die Verteilung der berechneten Werte werden aufgetragen und mit einer Gauß'schen Normalfunktion approximiert (Abbildung 6.4).

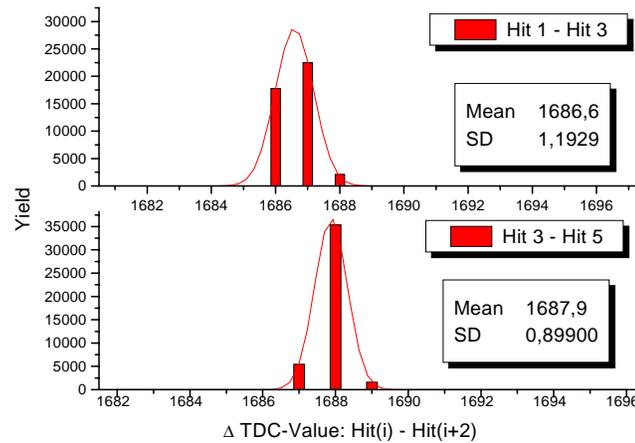


ABBILDUNG 6.4: Verteilungen der Differenzen zwischen Hit 1 und Hit 3, bzw. Hit 3 und Hit 5. Diese wurden mit Gauß'schen Normalfunktionen approximiert. Die Differenzen entsprechen dem Abstand zweier steigender Startflanken und damit der Periode eines Kalibrationspulses.

Die Differenz der TDC-Meßdaten bestimmt sich hieraus zu:

$$\Delta_{\text{TDC,Meßwert}} = 1687 \pm 2 \text{ Kanäle}$$

Multipliziert mit der oben ermittelten Auflösung der TDC-Meßeinheit  $\text{res}_{\text{TDC}}$  berechnet sich die Zeitdifferenz und damit die Kalibrationspulsperiode zu:

$$\begin{aligned} T_{\text{calib}} &= \Delta_{\text{TDC,t}} \\ &= \text{res}_{\text{TDC}} \times \Delta_{\text{TDC,Meßwert}} \\ &= (238 \pm 2) [ps/Kanal] \times (1687 \pm 2) \text{ Kanäle} \\ &= 401,5 \text{ ns} \pm 3,85 \text{ ns} \end{aligned}$$

Der ermittelte Wert von 401,5 ns stimmt gut mit der in [TDC96] angegebenen Größenordnung der Kalibrationspulsbreite von  $\approx 2 \times 200$  ns überein.



# Kapitel 7

## Zusammenfassung und Ausblick

Im Rahmen dieser Diplomarbeit wurde ein Konzept für einen Teststand für die Analogausleseelektronik der HADES-MDC-Driftkammern entwickelt. Es wurde gezeigt, daß dieses die gestellten Anforderung zu erfüllen vermag. Mit Einschränkung beim Signalgenerator konnten alle Komponenten, Daughterboardtestboard DOBOT, PC-Readout-Controller und die grafische auf LabVIEW<sup>TM</sup> basierende Benutzeroberfläche vollständig in Betrieb genommen und getestet werden. Trotz des Problems bzgl. der Verwendung des Gesamtsystems zum Testen von Analogkarten konnten dennoch die vollfunktionsfähigen Teilsysteme zum Bestimmen von Eigenschaften des TDC-ASICs verwendet werden. So wurden seine intrinsische Auflösung und die Kalibrierpulsperiode der internen Kalibration verifiziert.

In naher Zukunft wird der bestehende Aufbau zum Überprüfen der zweiten überarbeiteten Generation der TDC-ASICs benutzt werden.

Die beim Signalgenerator auftretenden Probleme bzgl. der Empfindlichkeit auf Rauschen werden in einer verbesserten Fassung reduziert bzw. behoben. Ebenso wird die Neukonzeption der FPC-Kabel zum Übertragen der Signale von der Quelle zum Daughterboard basierend auf dem Konzept der *common-noise rejection* zu einer verbesserten Signalqualität führen. Dies wurde in ersten Prototypentests der neuen Versionen bereits verifiziert [CMS98].

Desweiteren wurde die Entwicklung der zweiten Daughterboardversion abgeschlossen. Dieses weist im Vergleich zum ersten Konzept folgende Unterschiede auf:

- Verarbeitung von 16 statt 8 Kanälen mit jeweils zwei ASD8-ASICs pro Daughterboard
- neue Abmessungen (siehe Abbildung 3.4, Seite 31)
- Verbesserung der Übertragungswege in Zusammenhang mit dem FPC-Kabel durch ein optimiertes Ausnutzen der differentiellen Eigenschaften des ASD8-ASICs
- zusätzliche Signale, u.a. ein Referenzsignal für den GTL-Standard

- *common-or*-Schaltung. Sobald einer oder mehrere Kanäle ein Signal erhalten, kann aus diesen mit einem Oder-Gatter (*common-or*) ein Schaltimpuls für externe Elektronik generiert werden.

Dank des universellen Konzepts des Teststandes ist es kein Problem diesen an die neue Daughterboard-Version anzupassen.

Als Ziel bleibt die Vollendung und Inbetriebnahme des kompletten Teststandes, sobald die überarbeitete Fassung des Signalgenerators zur Verfügung steht.

# Anhang A

## Schaltpläne

Im folgenden sind Stromlaufpläne und Ansichten der Baugruppen zu finden, die im Rahmen dieser Diplomarbeit verwendet wurden:

Daughterboard	Seite
Vorläufiger Stromlaufplan der zweiten Daughterboardversion Dubna _____	72
Maße und Pinbelegung der ersten Version _____	73
Signalgenerator	
Analogteil _____	74–75
Digitalteil _____	76–79
PC-Readout-Controller	
Konzept des Readout-Controllers _____	80
Readout-Controller mit Funktionsgruppen _____	81
DOBOT	
Layout _____	82
Stromlaufplan _____	83–84
AHTDC	
Stromlaufplan _____	85

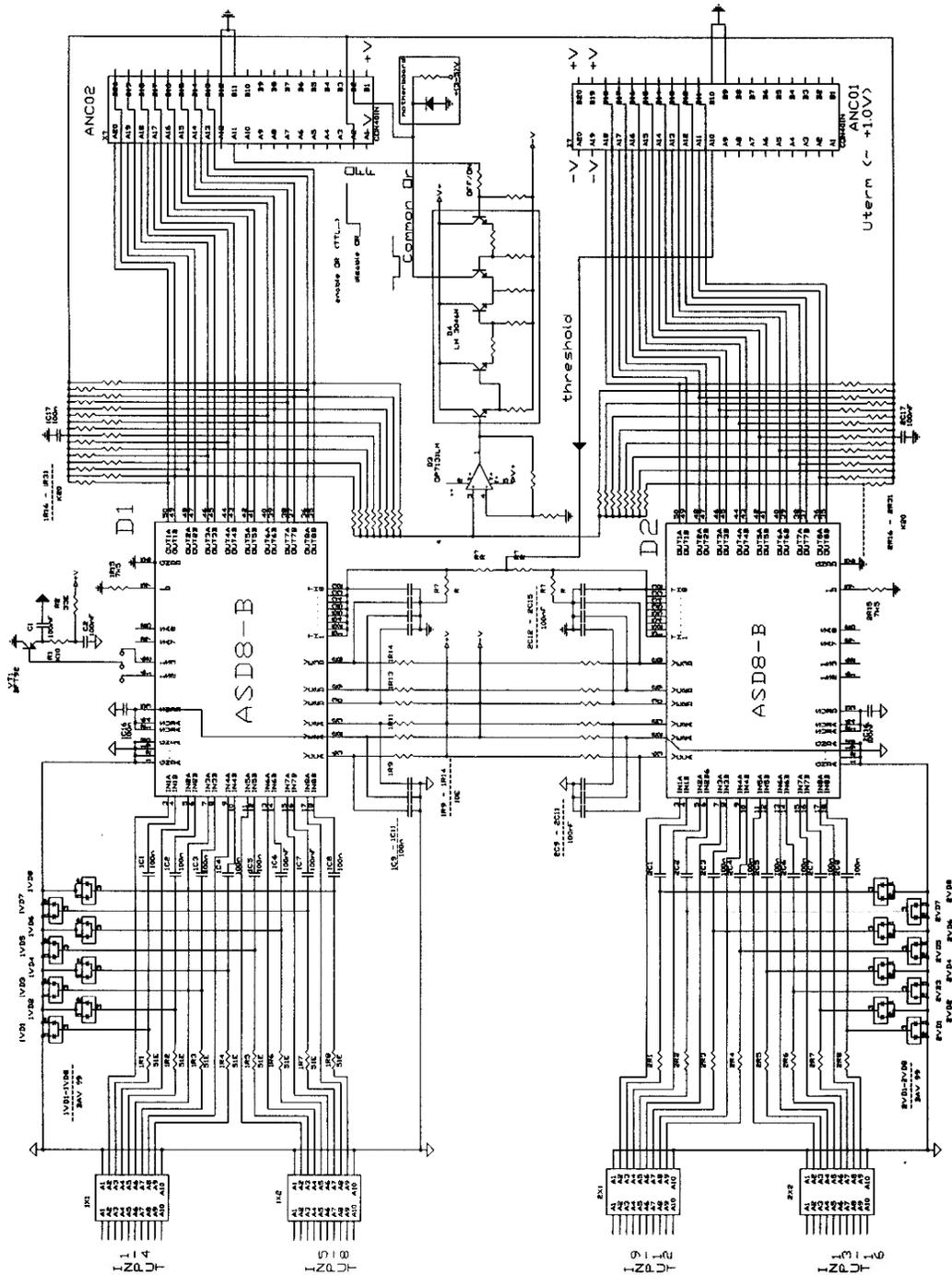
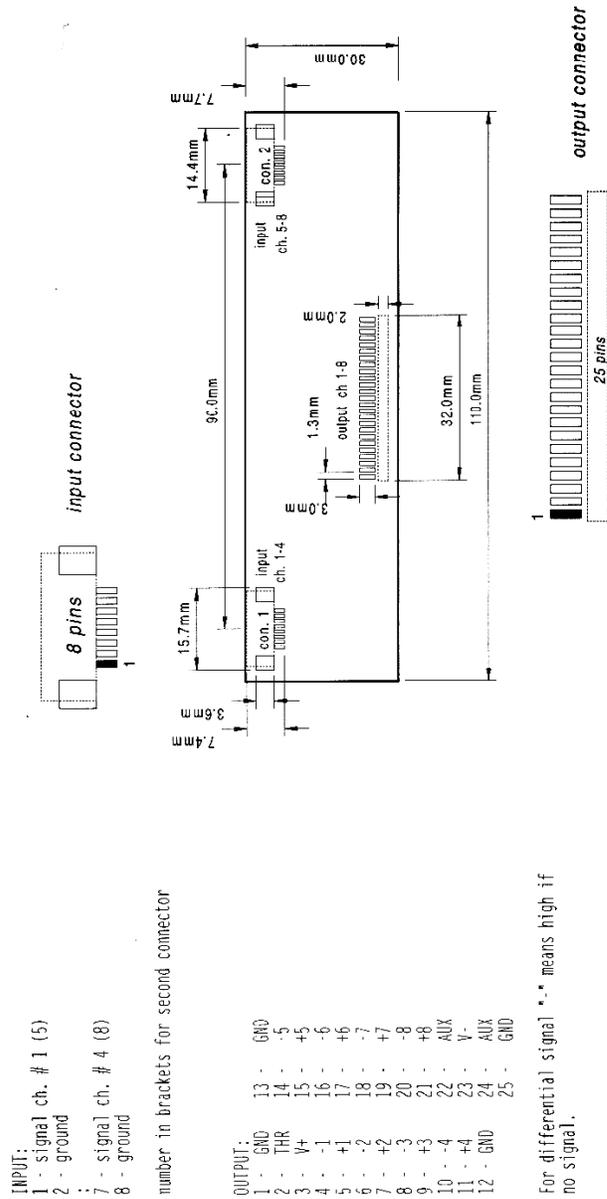


ABBILDUNG A.1: vorläufiger Stromlaufplan Daughterboard „Dubna“, neu



INPUT:  
 1 - signal ch. # 1 (5)  
 2 - ground  
 7 - signal ch. # 4 (8)  
 8 - ground

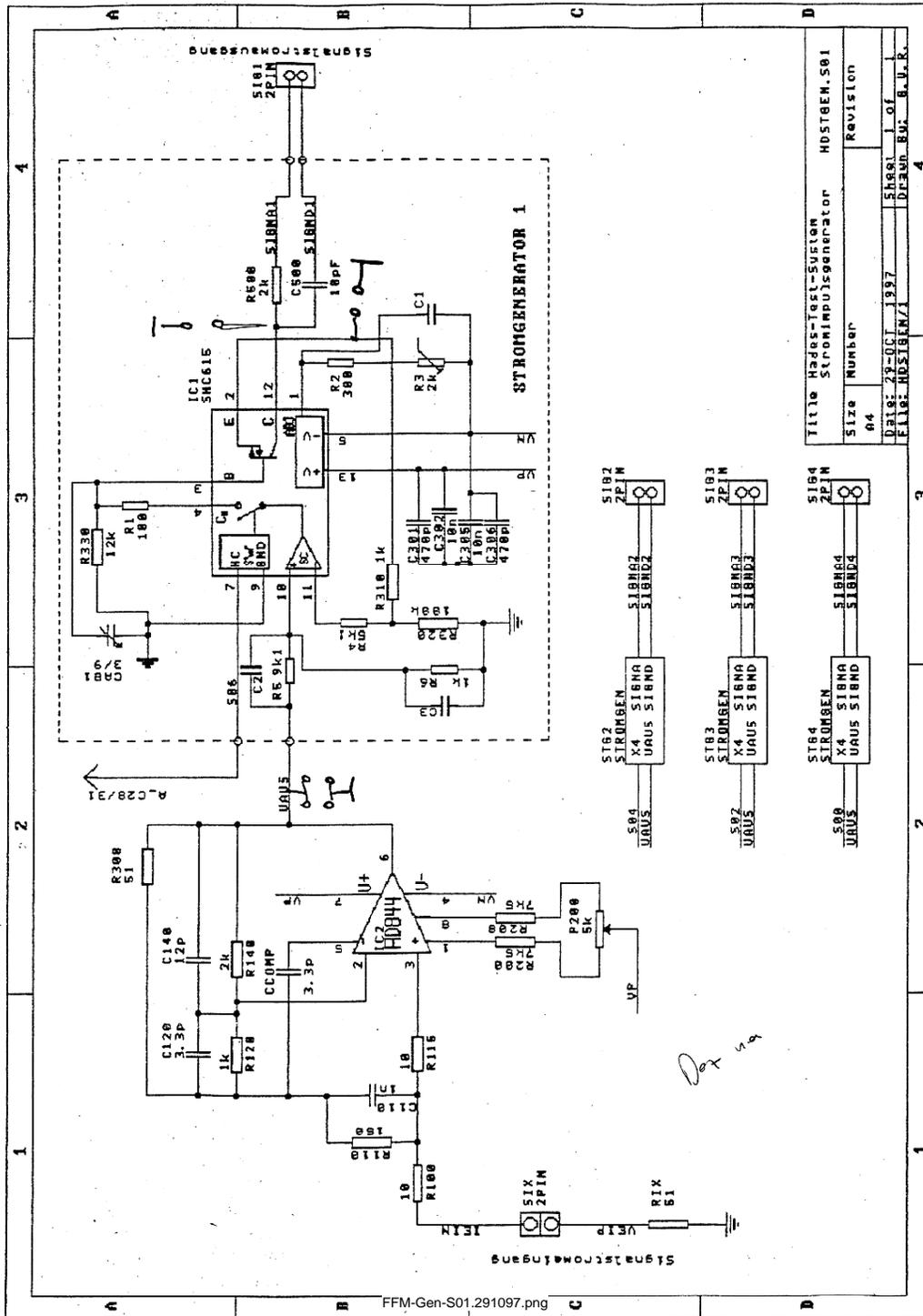
number in brackets for second connector

OUTPUT:  
 1 - GND  
 2 - THR  
 3 - V+  
 4 - -1  
 5 - +1  
 6 - -2  
 7 - +2  
 8 - -3  
 9 - +3  
 10 - -4  
 11 - +4  
 12 - GND  
 13 - GND  
 14 - -5  
 15 - +5  
 16 - -6  
 17 - +6  
 18 - -7  
 19 - +7  
 20 - -8  
 21 - +8  
 22 - AUX  
 23 - V-  
 24 - AUX  
 25 - GND

For differential signal "\*" means high if no signal.

SPECIFICATIONS		CONTRACT NO.	DATE	COMPANY
Prototype version for 64 channel mother board, differential output		J. Stroth	30-8-95	HADES
input and output connectors are SMD		CHECKED BY		TITLE
input: AMP FPC connector (1mm)		DESIGNED BY		MDC daughter board / IHP version
output: IHP single row pin male (1.27 mm)		DESIGN ACTIVITY	28-7-95	SIZE
Accepted and freezeed for prototype 12/95		CUSTOMER		A4
				FSCM NO
				\\hp002 c:\hades\im\daughts4.skd
				DWG NO. / FILE NAME
				SCALE
				1mm = 1mm
				DATE
				30-8-95
				SHEET
				1 of 1

ABBILDUNG A.2: Abmessungen vom Daughterboard, erste Version, sowie die Belegung der einzelnen Steckerverbindungen



Title		HDS100-Test-Sektion	
Size		HDS100-Generator	
Number		Revision	
Date		23-OCT-1997	
Drawn by		B.V.R.	
Sheet 1 of 1		4	

ABBILDUNG A.3: Stromlaufplan Signal-Generator, Analogteil, Seite 1

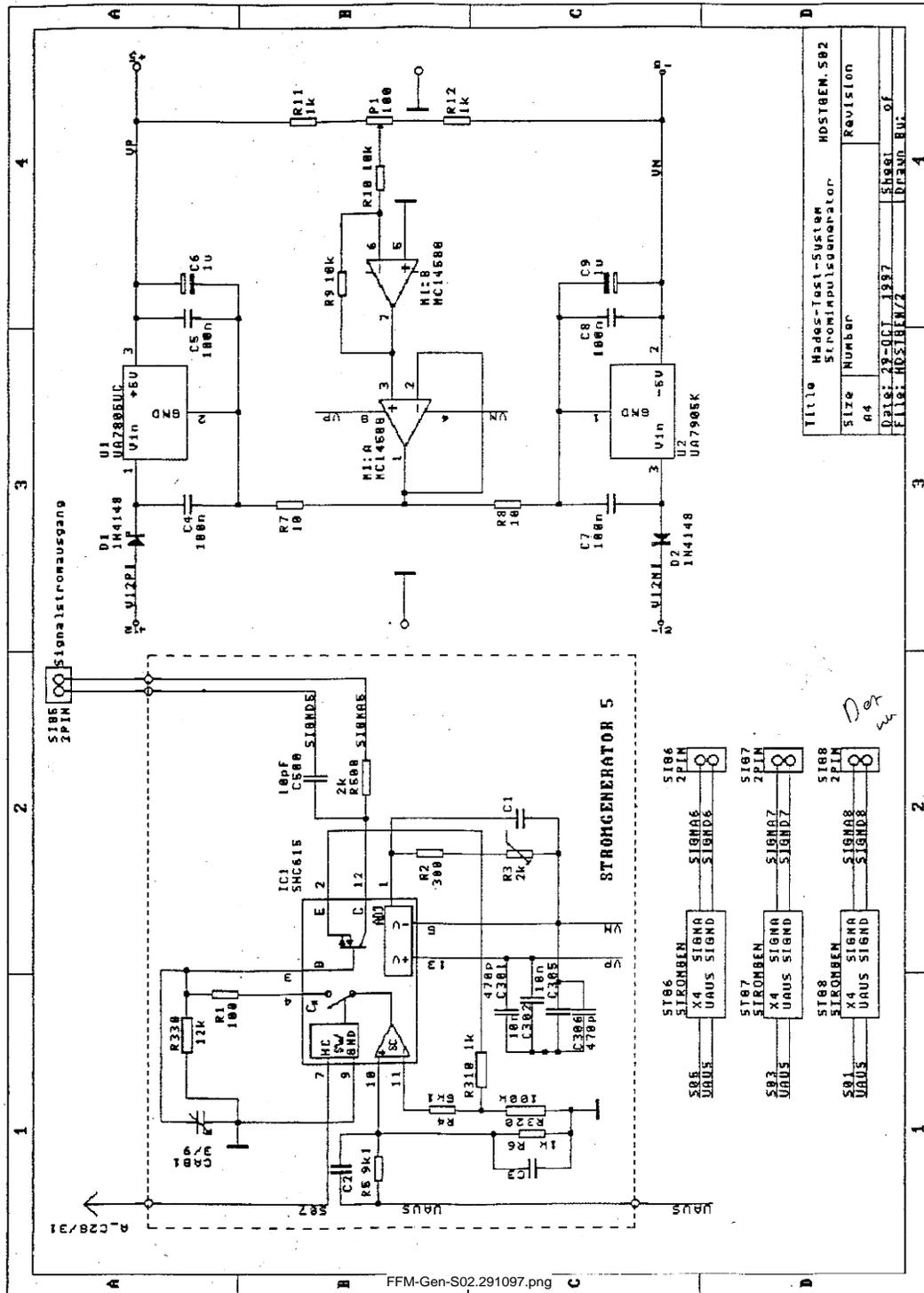


ABBILDUNG A.4: Stromlaufplan Signal-Generator, Analogteil, Seite 2

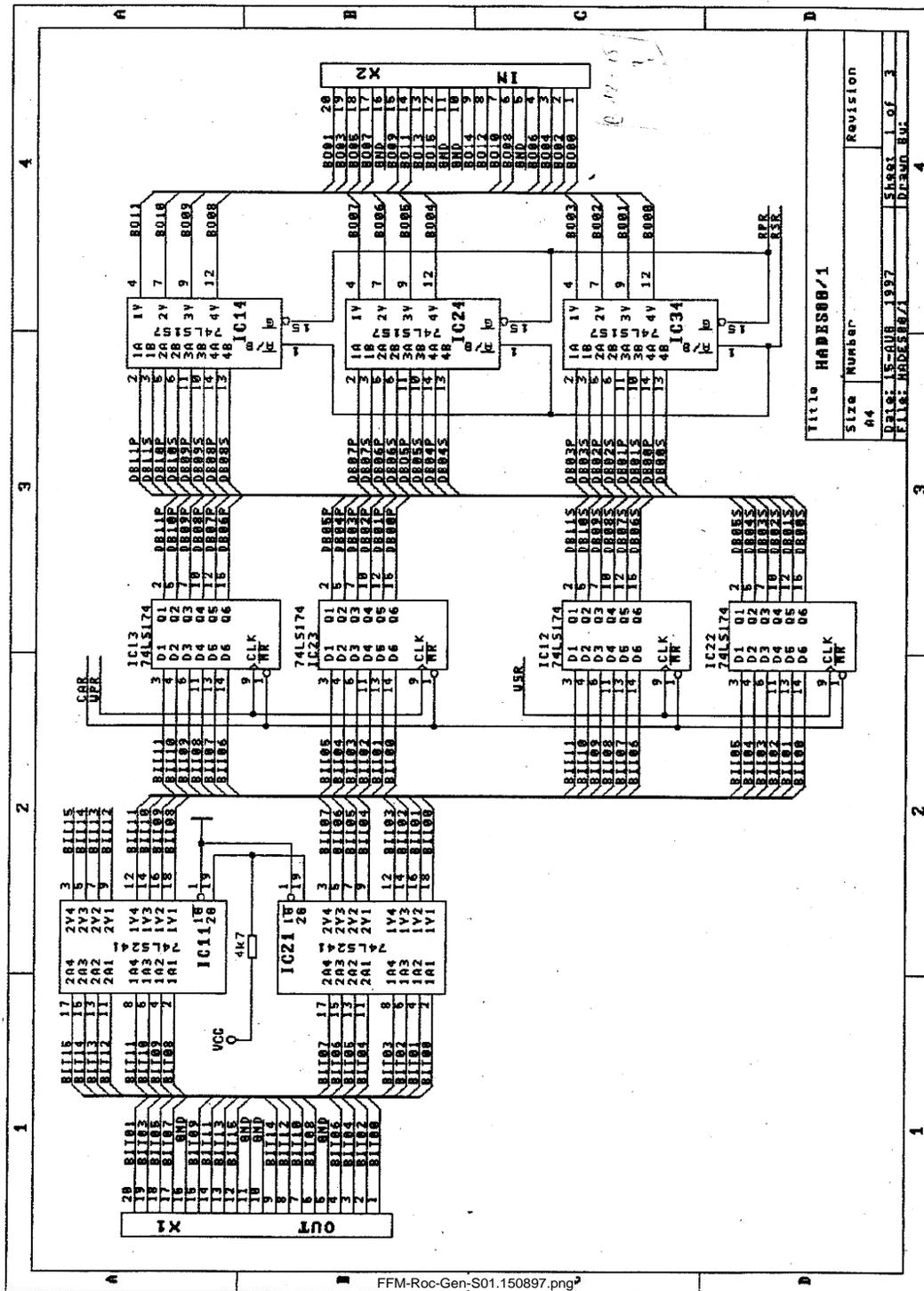


ABBILDUNG A.5: Stromlaufplan Signal-Generator, Digitalteil, Seite 1

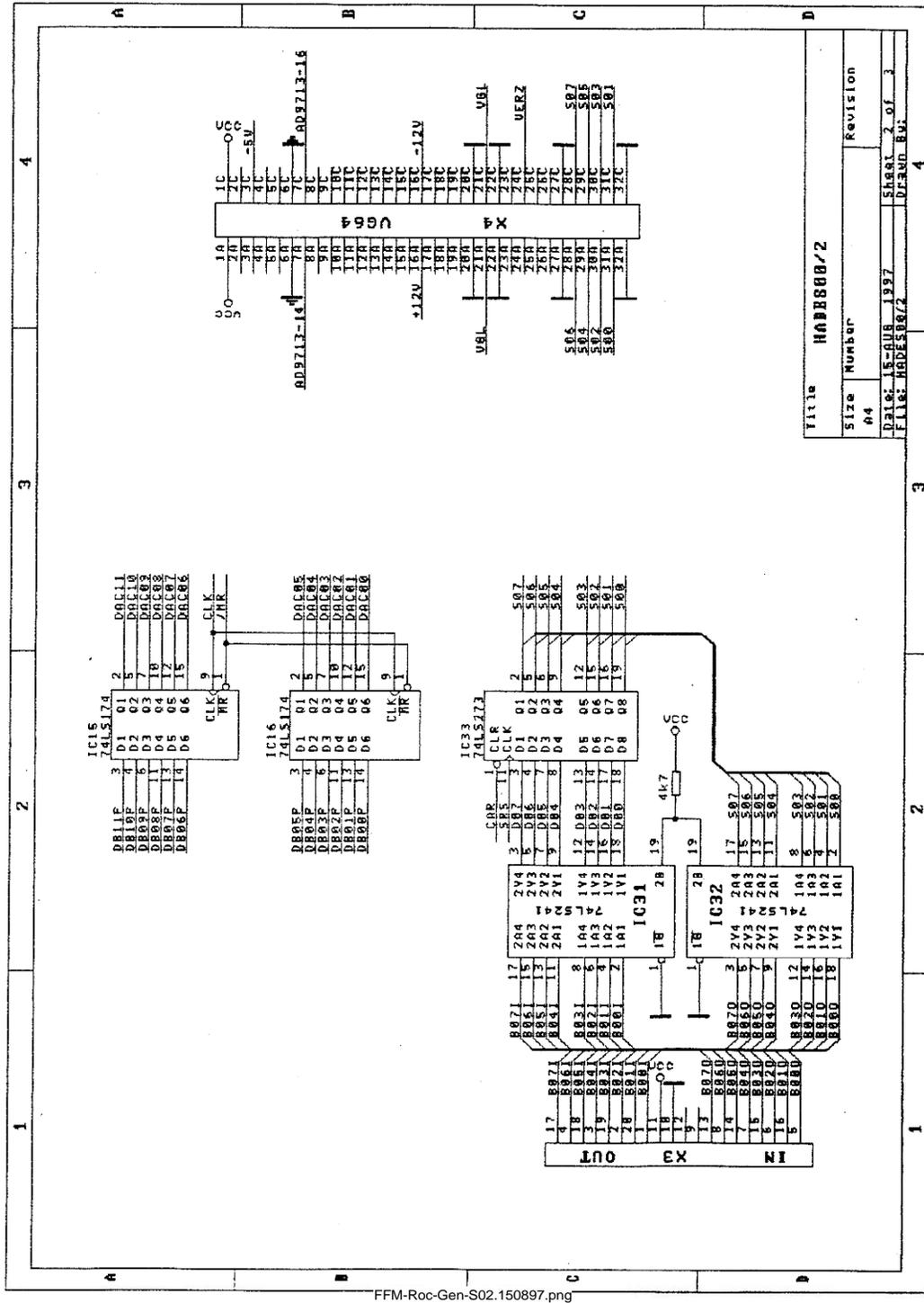


ABBILDUNG A.6: Stromlaufplan Signal-Generator, Digitalteil, Seite 2

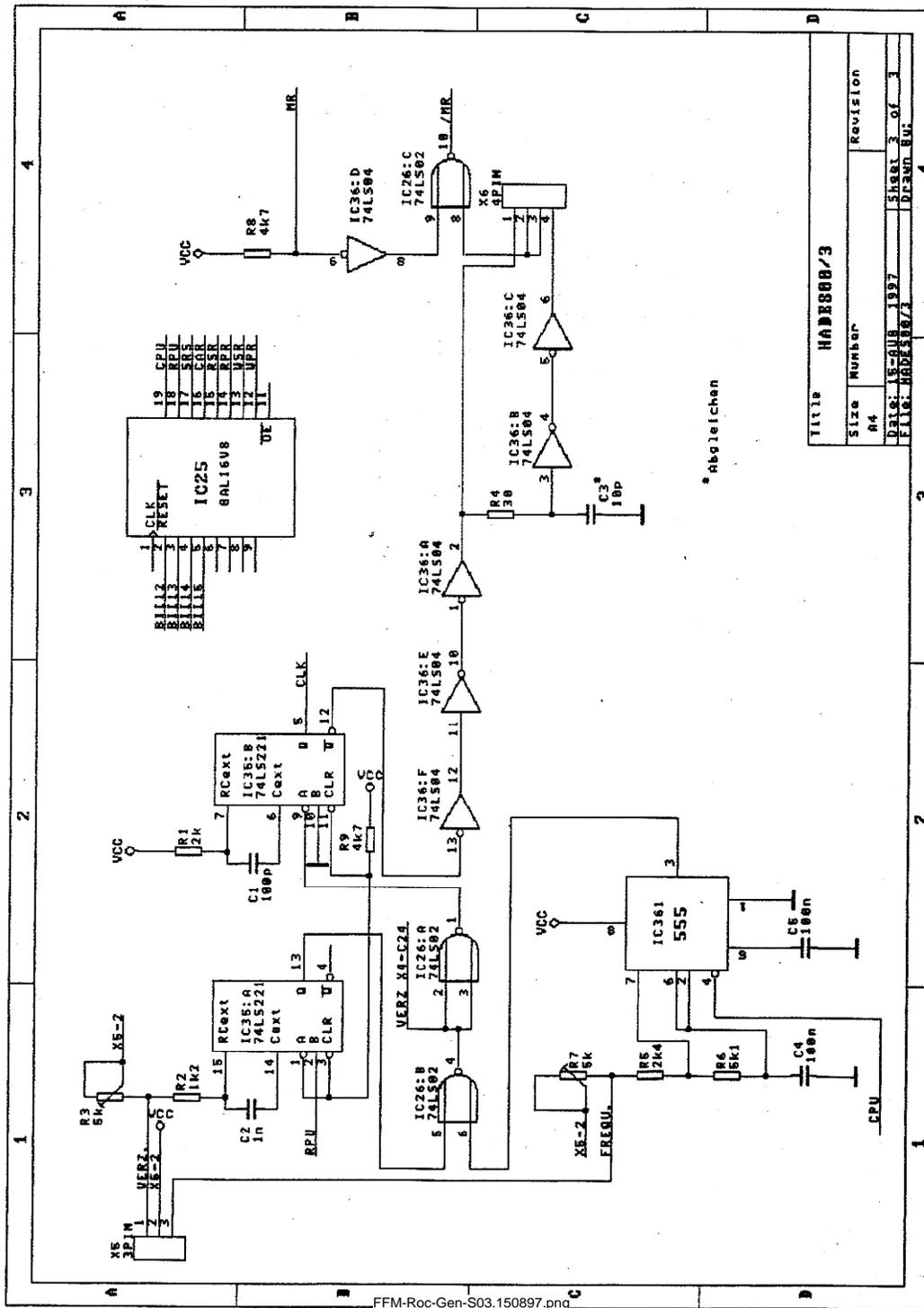


ABBILDUNG A.7: Stromlaufplan Signal-Generator, Digitalteil, Seite 3

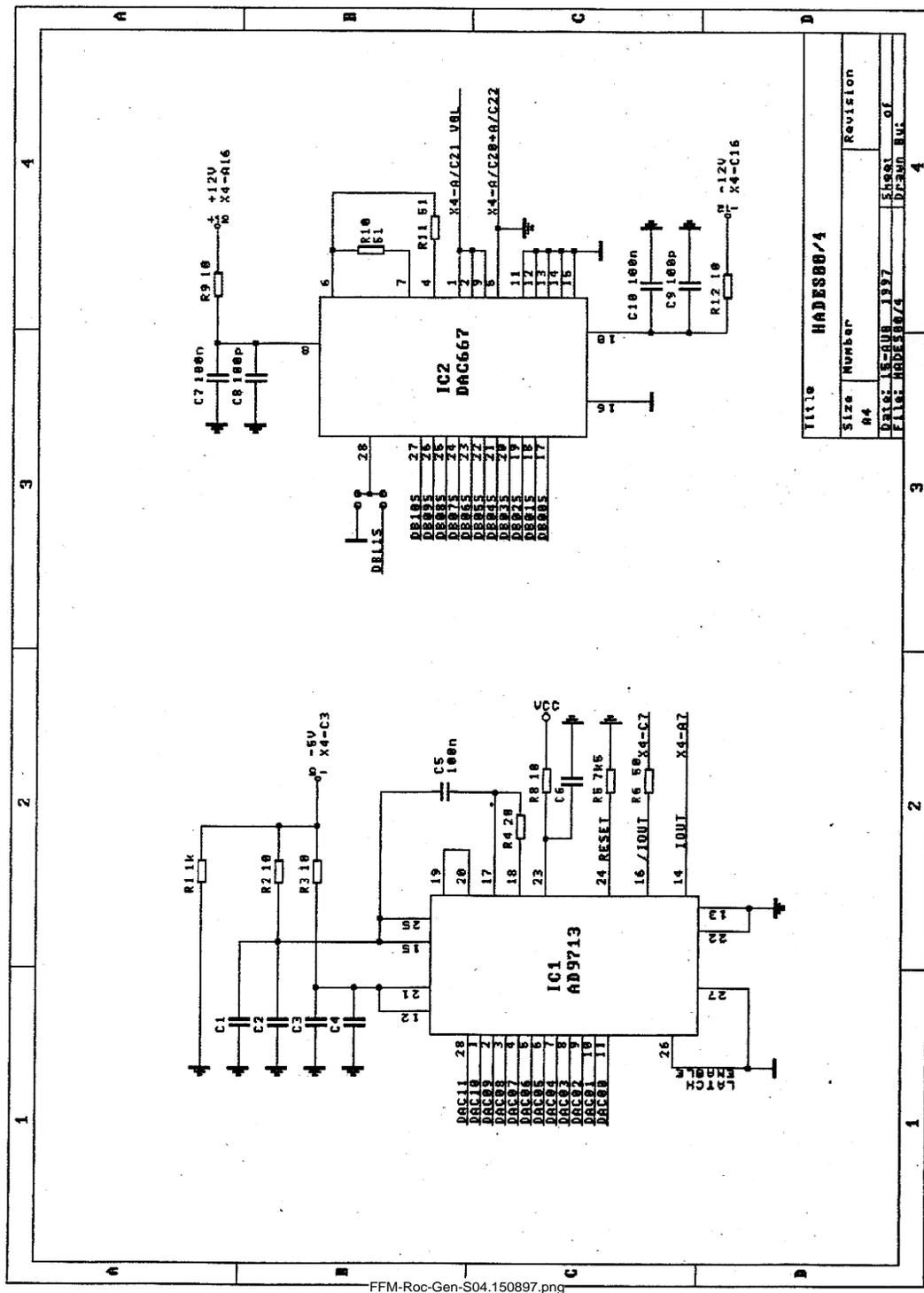


ABBILDUNG A.8: Stromlaufplan Signal-Generator, Digitalteil, Seite 4



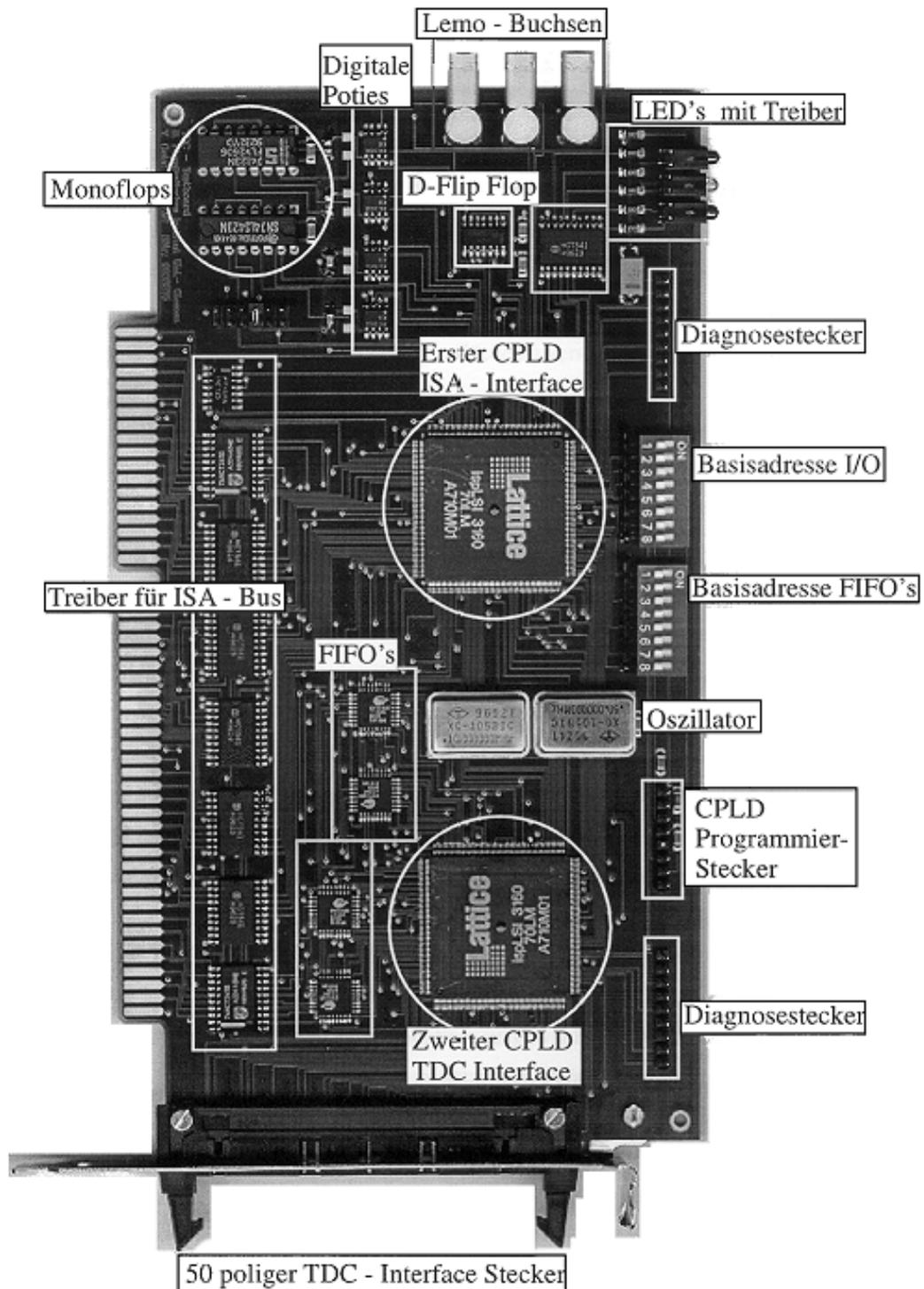


ABBILDUNG A.10: Readout-Controller mit Funktionsgruppen (aus [Gei97b])

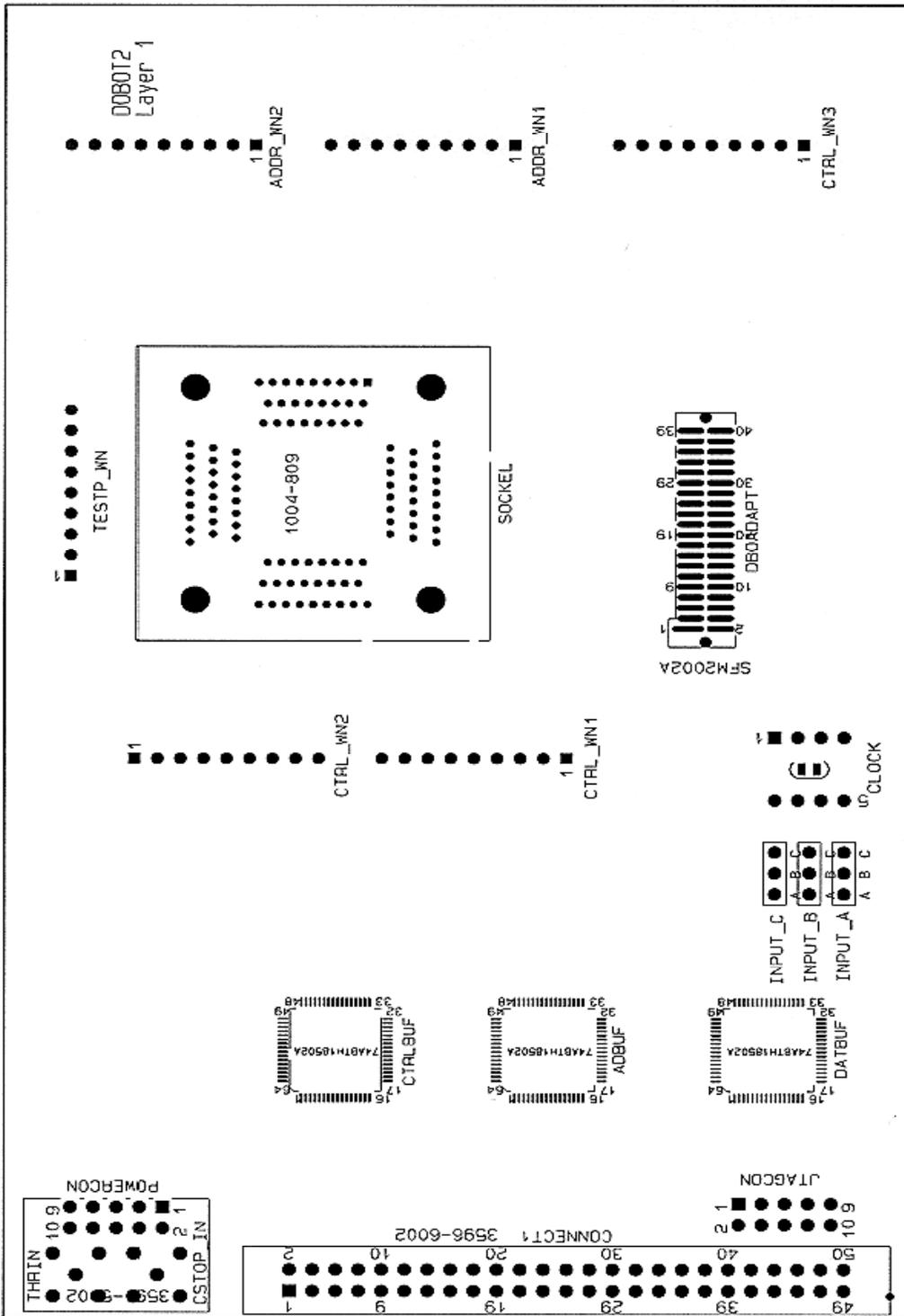


ABBILDUNG A.11: Layout DOBOT im Maßstab 1:1

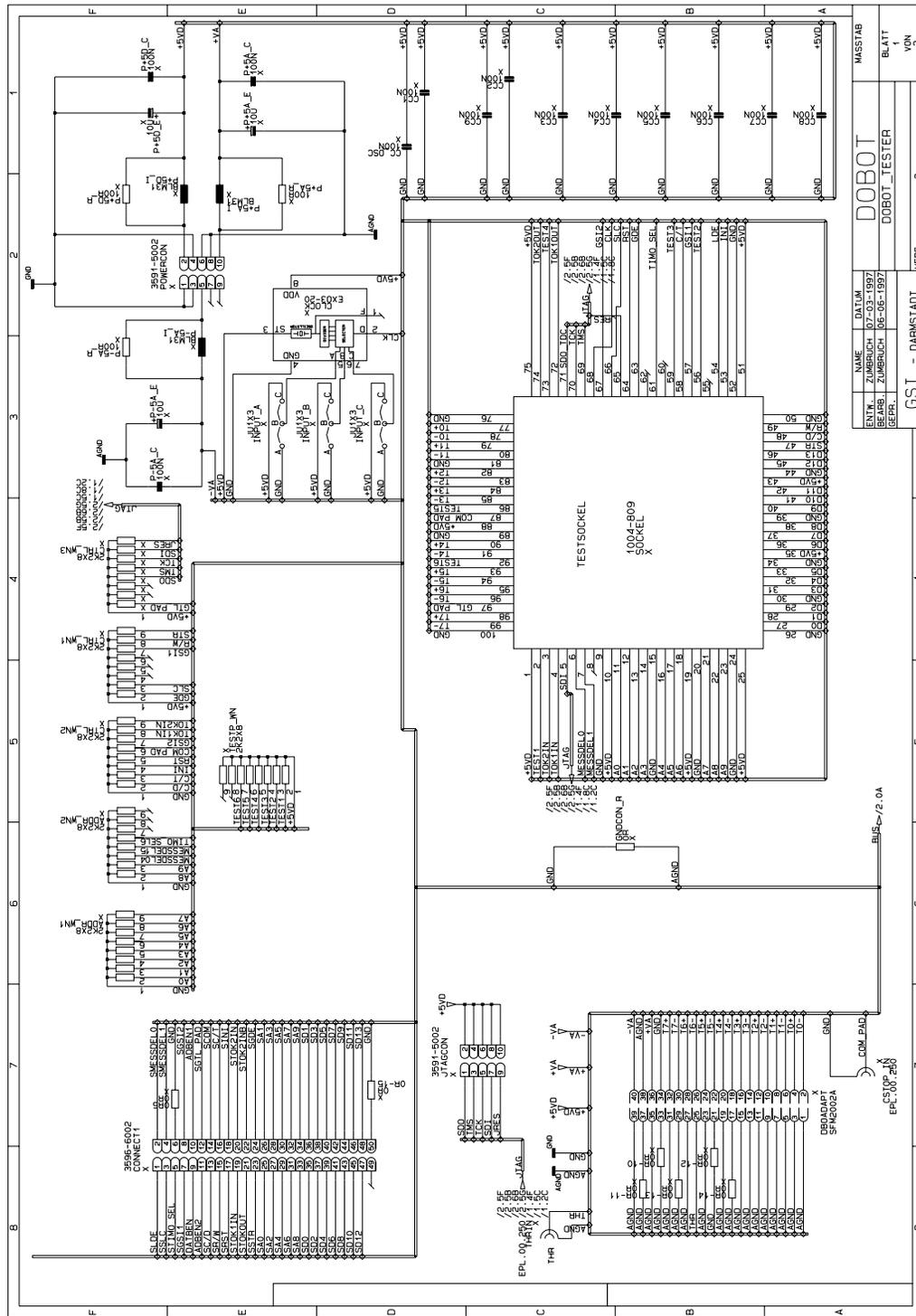


ABBILDUNG A.12: Stromlaufplan DOBOT, Seite 1

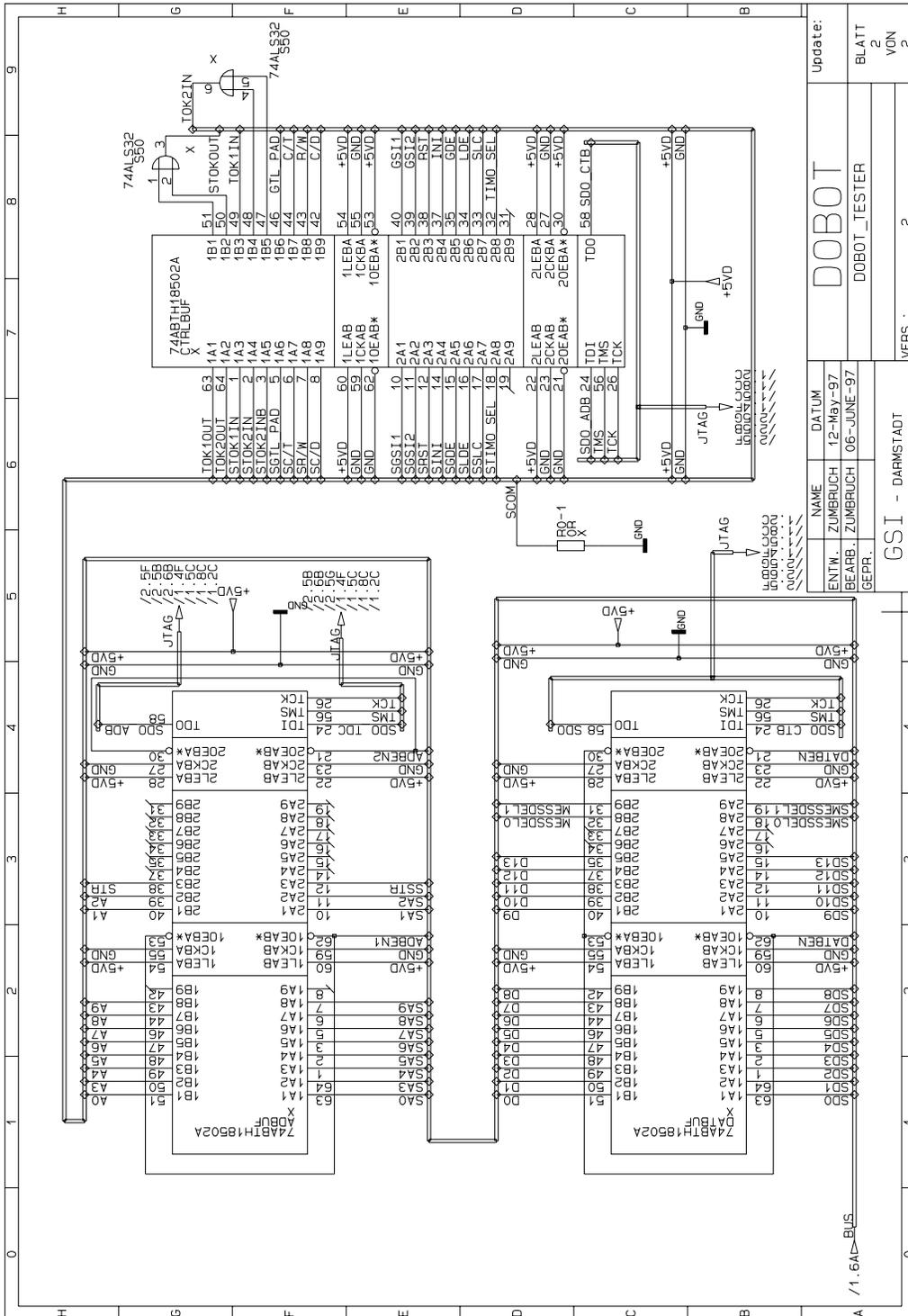
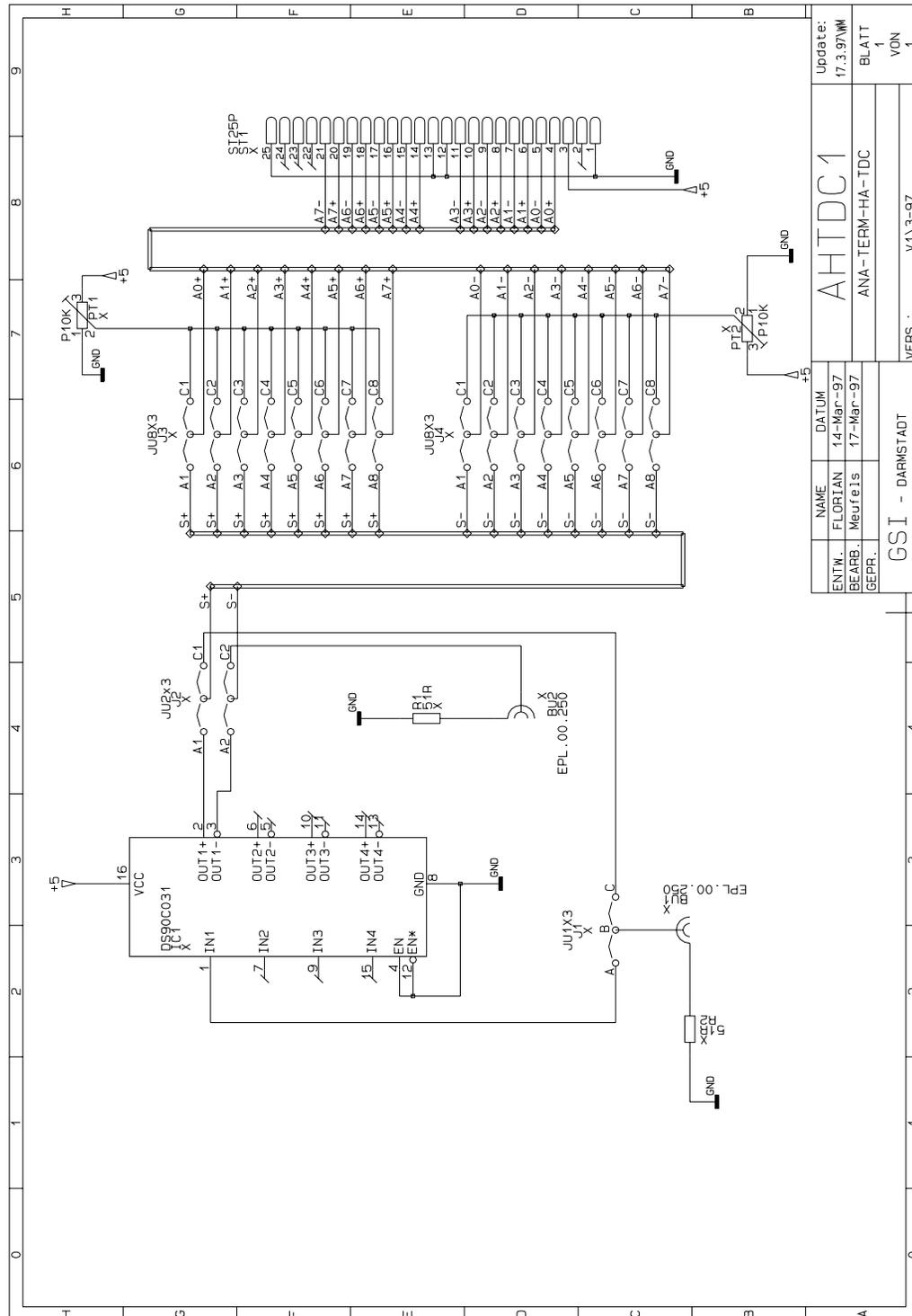


ABBILDUNG A.13: Stromlaufplan DOBOT, Seite 2

Update:	
NAME	DATUM
ENTW. ZUMBRUCH	12-MAY-97
BEARB. ZUMBRUCH	06-JUNE-97
GEPR.	
GSI - DARMSTADT	
VERS.:	2
BLATT	2
VON	2



NAME	DATUM	Update:
ENTW. FLORIAN	14-Mar-97	17.3.97MM
BEARB. MeuteIs	17-Mar-97	
GEPR.		
GSI - DARMSTADT		VERS.: V13-97
AHTDC1		BLATT
ANA-TERM-HA-TDC		VON
		1
		VON
		1

ABBILDUNG A.14: Stromlaufplan AHTDC



# Anhang B

## LabVIEW<sup>TM</sup>-Oberflächen

In diesem Kapitel sind Abbildungen der grafischen LabVIEW<sup>TM</sup>-Oberflächen aufgelistet:

	Seite
FFM-CONTROL.VI	
Oberfläche _____	88
TDC.VI	
Oberfläche _____	89
Diagramm _____	90
CALIBRATECHANNEL.VI & EXTCALIBRATECHANNEL.VI	
Oberfläche _____	92
Oberfläche — Histogrammansicht _____	92

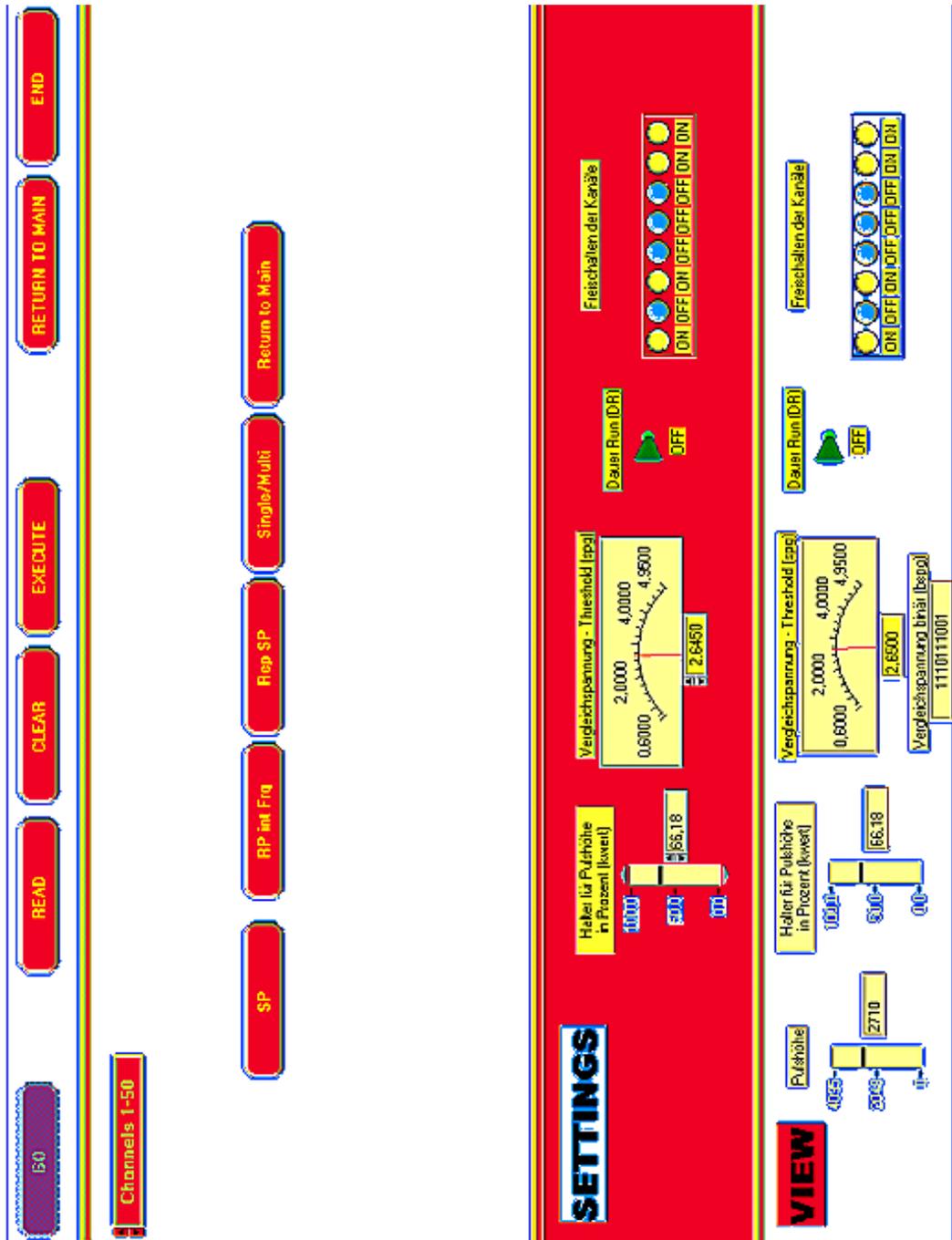


ABBILDUNG B.1: Screenshot der LabVIEW<sup>TM</sup>-Oberfläche von FFM.VI

The screenshot displays the LabVIEW interface for the TDC.vi instrument. The interface is organized into several functional panels:

- CTRL to Set:** A panel on the left containing control knobs for parameters such as Token Out 1, Interface Speed (60ns), Zero Suppression on, Spike Suppression Bins, Calibration Mask, and selective Channel enable.
- CTRL read:** A central panel with a 'Stop' button and a 'value copy 2' indicator.
- Data:** A panel on the right showing a binary data stream (1100100) and a 'Data copy here' button.
- registers:** A panel on the far left showing the current register address (430A) and value (420).
- Read Time:** A panel at the bottom left showing the 'Number of Counts' (8).
- Time Data:** A panel at the bottom right showing a list of time data points (e.g., 4410, 4E5D, 4F6AF).
- Control Buttons:** A vertical column of buttons on the right side, including 'Send Data', 'Read Setup', 'Reset + Ind', 'Reset FIFO', and 'Reset + Ind + Reset FIFO', all currently set to 'OFF'.
- Other Elements:** A 'Send trigger' button, a 'value copy 1' indicator, and a 'memout' button are also visible.

ABBILDUNG B.2: Screenshot der LabVIEW<sup>TM</sup>-Oberfläche von TDC.vi

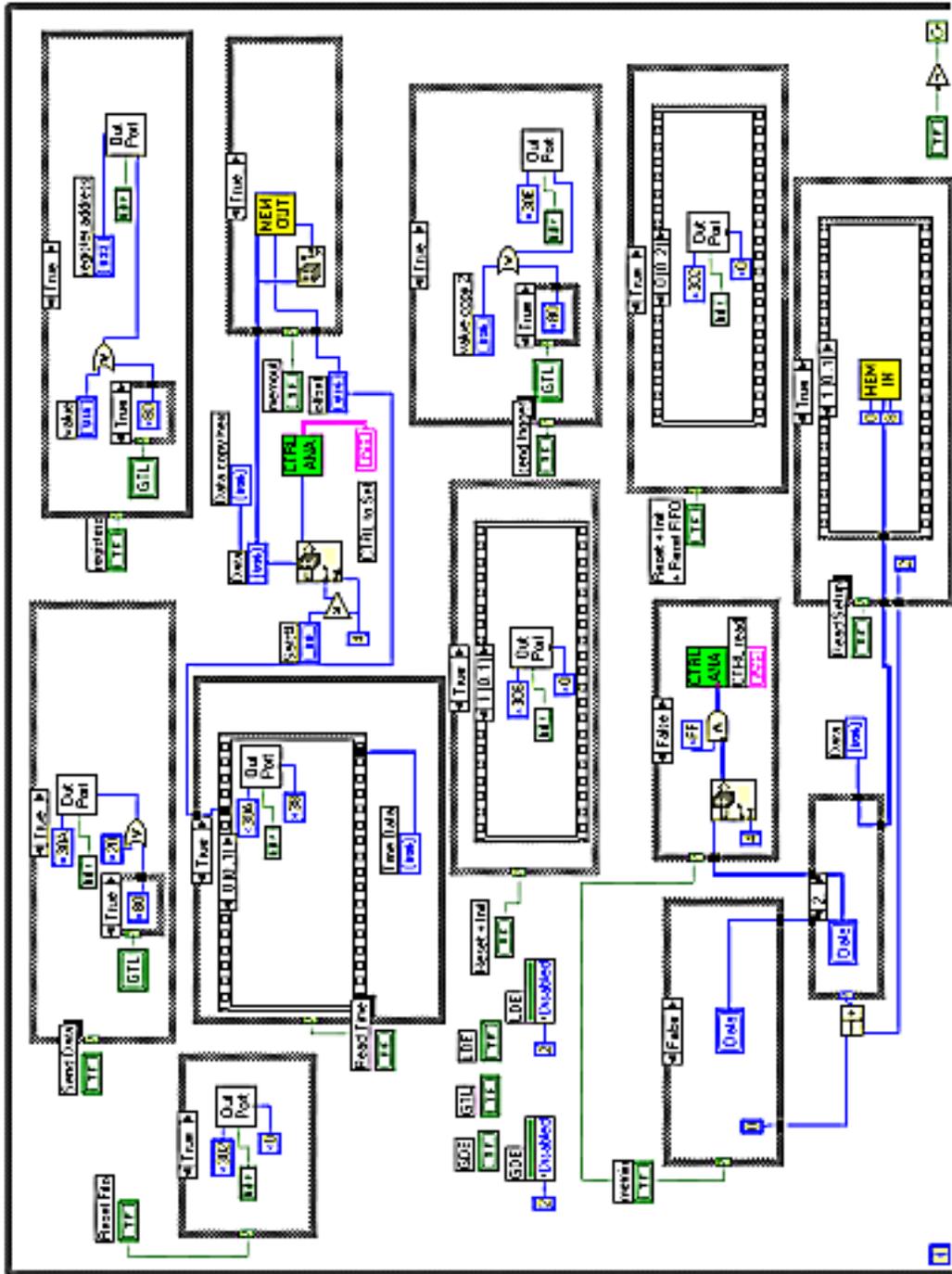


ABBILDUNG B.3: Screenshot des LabVIEW™-Diagramms von TDC.vi

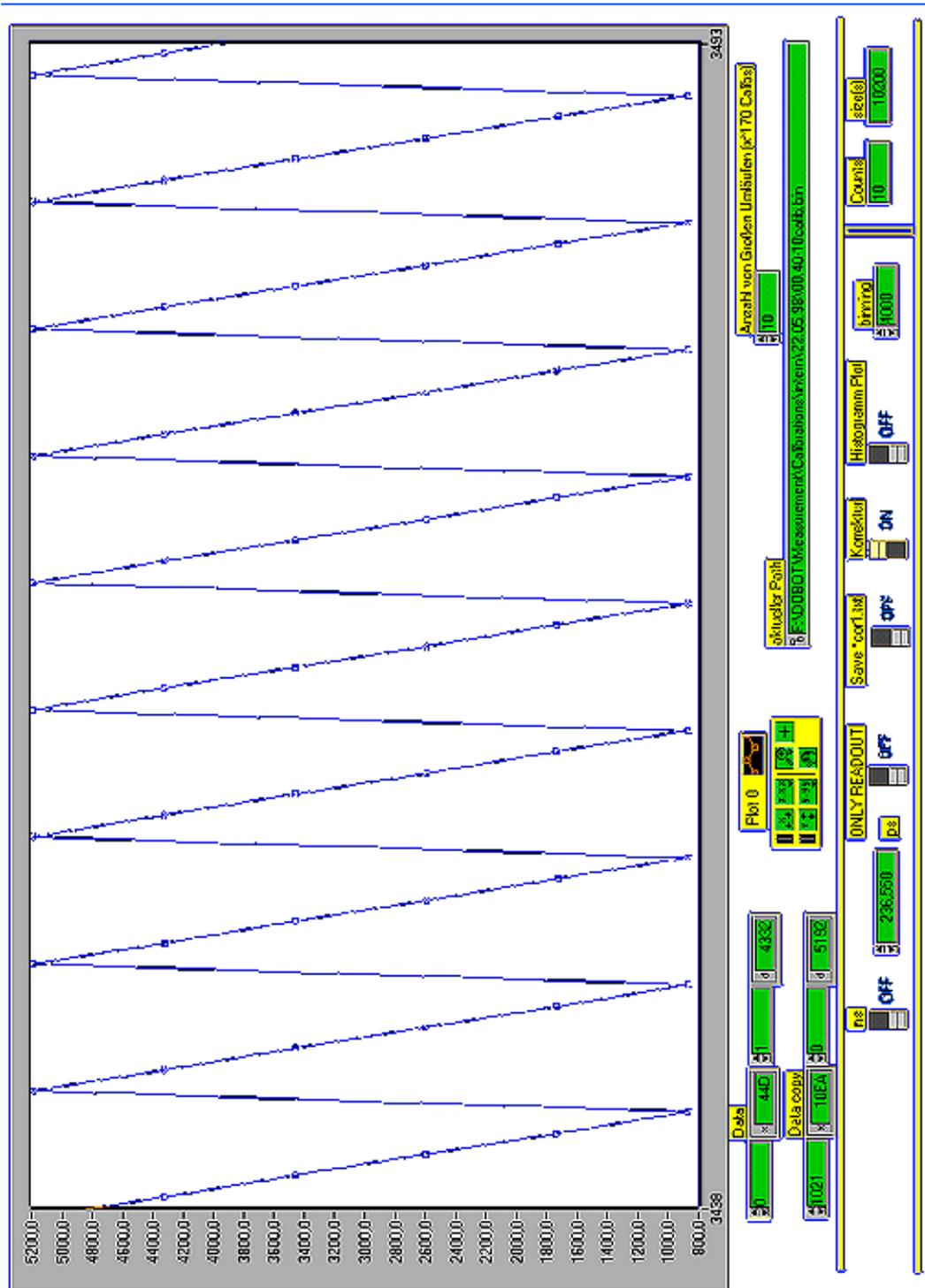


ABBILDUNG B.4: Screenshot der LabVIEW™-Oberfläche von CALIBRATECHANNEL.VI



ABBILDUNG B.5: Screenshot der LabVIEW<sup>TM</sup>-Oberfläche von CALIBRATECHANNEL.VI

# Anhang C

## LabVIEW<sup>TM</sup>-Betrieb

In diesem Abschnitt werden die einzelnen Bedienschritte zur Inbetriebnahme der verschiedenen Komponenten mit LabVIEW<sup>TM</sup>.

### C.1 Kalibrationen – intern & extern

Für die Kalibrationen werden die Programmen CALIBRATECHANNEL bzw. EXTCALIBRATECHANNEL verwendet. Die einzige notwendige Einstellung, die vor dem Programmstart angegeben werden muß ist die „Anzahl von großen Umläufen“ (siehe Abbildung C.1). Sie gibt an wie oft ein kleiner Durchlauf (siehe 5.2.1 bzw. 5.2.2) ausgeführt wird. Sie ist standardgemäß auf 10 gesetzt.

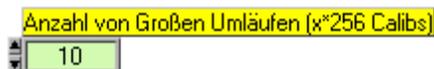


ABBILDUNG C.1: Anzahl große Umläufe

Zusätzlich sind über die in Abbildung C.2 dargestellten Regler, die in Tabelle C.1 aufgelisteten Optionen möglich:



ABBILDUNG C.2: Kalibration: Optionen

ns resolution	on/off ps	Darstellung der Daten in ns (TDC-Meßwert $\times$ resolution)
ONLY READOUT	on/off	Die in <i>aktueller Pfad</i> angegebene Datei wird eingelesen
Korrektur	on/off	Hinzufügen des 12. Bits zum Meßwert
Save *cor1.txt	on/off	zusätzliches Abspeichern der korrigierten Meßwerte
Histogramm	on/off	Histogrammdarstellungsmodus
binning		Binning für Histogrammdarstellung

TABELLE C.1: Kalibration: Optionen

Danach kann das Programm gestartet werden. Dieses speichert die erzeugten Dateien nach folgendem Schema ab:

Basispfad:	F:\DOBOT\Measurement\Calibrations\...
Typ der Kalibration	extern\... bzw. intern\...
Datum	TT.MM.JJ\...
Filename	HH.MM-Umläufe.calib.Dateityp bzw. HH.MM-Umläufeext Verzögerung.calib.Dateityp
Dateityp	.bin, intern-genutztes Dateiformat .txt, ASCII-Text

Ein Beispiel zeigt Abbildung C.3. Die Daten werden grundsätzlich unter beiden

**aktueller Path**  
F:\DOBOT\Measurement\Calibrations\extern\16.06.98\12.31-10ext900ns.calib.bin

ABBILDUNG C.3: Dateipfad der Kalibrationsdaten

Dateiformaten abgelegt. Nach Abschluß der Kalibration werden die Daten in der Anzeige im gewählten Modus dargestellt. Die Darstellungsweise kann über die in Abbildung C.4 gezeigte Bedienfläche weiter modifiziert werden.



ABBILDUNG C.4: Bedienfläche für verschieden Darstellungsmodi

## C.2 TDC-Operationen

### C.2.1 Grundprinzipien

Das Programm TDC.vi ermöglicht den direkten Zugriff auf die Funktionen des Readout-Controllers zum Steuern und Auslesen des TDC-ASICs. Dies geschieht durch das Beschreiben der verschiedenen Adressen des ROCs. Die Basisadressen sind auf der Karte per DIP-Schalter verstellbar [Gei97b]. Es wurden für die beiden vorliegen ROC-Karten folgende Einstellungen verwendet:

ROC 1	
I/O Basisadresse	: 0x300
Speicheradresse (FIFO-Adresse)	: 0xD000:00aa
ROC 2	
I/O Basisadresse	: 0x320
Speicheradresse (FIFO-Adresse)	: 0xD800:00aa

Für die Basisfunktionen/-modi werden die folgenden Adressen, die sich aus der Basisadresse ableiten, angesprochen. Dies entspricht im wesentlichen dem Setzen der entsprechenden Signalpegel des TDC-ASICs [TDC96]

Adresse (Hex)	Wert (Hex)	Funktion
302	00	Reset der FIFOs
304	xx	Konfiguration der programmierbaren Potentiometer des ROCs
306	xx	Reset & Initialisierung des TDC-ASICs
30a	xx	Token-Modus
30e	xx	Auslösen des verzögerten Start-Impulses
310	xx	FIFO-Test: Direkter Transfer der Daten des Ausgabe-FIFO in den Eingabe-FIFO

Das Steuerwort *xx* bestimmt die einzelnen Funktionen. Dieses ergibt sich aus dem in Abbildung C.5 gezeigten Steuerregister. Dabei sollten Bit 2 und 3 unverändert bleiben. Mit dem Schreiben des Steuerworts an die Adressen wird der jeweilige Vorgang sofort ausgelöst.

9	8	7	6	5	4	3	2	1	0
TIMO_SEL	LDE	GTL	GDE	GSI (1und → 2)	R/W	C/D	Zeitprogramme für den FPGA		RST
				1: GSI	1:Read	1: Data	00	Ruhestellung	01: Reset
High-Aktiv	High-Aktiv	s.u.	s.u	0: NonGSI	0:Write	0: Ctrl	01 10	40ns STR-HIGH 20ns STR-HIGH	00: Init

GDE : HIGH = Messeinheit disable  
 GTL : HIGH = GTL-Eingänge enable  
 LDE : HIGH = Rechnerschnittstelle disable

ABBILDUNG C.5: ROC-Steuerregister

Die wichtigsten Funktionen sind in Tabelle C.2.1 zusammengestellt.

Befehl/Aktion	Adresse (Hex)	Übergabewert (Hex)
Reset der FIFOs	302	00
Reset des TDC-ASICs	306	01
Initialisierung des TDC-ASICs	306	00
Steuerregister lesen	30a	30
Steuerregister schreiben	30a	20
Zeitdaten auslesen	30a	38

TABELLE C.2: ROC-Funktionsaufrufe

### Datenstruktur

Der Datentransfer über die Ein- und Ausgabe-FIFOs erfolgt über 16-Bit-Worte. Deren Struktur ist in Abbildung C.6 dargestellt.

Zeitdaten lesen:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A5 – A3				A0	D11 – D0										
Kanal-Nummer				Hit	Zeitdifferenz										

Steuerdaten lesen / schreiben:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
A9 – A3							(A0)	D9 – D2											
Chip-Nummer				Register-Nummer			/												
				0				Token Out 1 0: Token Out 1 1: Token Out 2		Interface-Speed 000: 240 ns 001: 200 ns 010: 160 ns 011: 120 ns 100: 100 ns 101: 80 ns 110: 60 ns 111: 40 ns		Zero-Suppression 0: on, 1: off		Spike Suppression 0xx: off 100: 8 ns 101: 13 ns 110: 18 ns 111: 23 ns					
				1				Hit Select 0: 1 Hit, 1: 2 Hits		Select Common Start/Stop 0: Common Stop, 1: Common Start		Edge Sensitive Common 0: rise, 1: fall		Edge sensitive Mess 00: no edge 01: fall 10: rise 11: both		Calibration 0: no Cal., 1: Start Calibration		Measure Range 00: 500-600 ns 01: 1.0 - 1.1 µs 10: 2.0 – 2.1µs 11: full Range	
				2				Calibration Mask 0: no Calibration 1: Calibrate at Command		Channel 7		Channel 6		Channel 5		Channel 4		Channel 3	
				3				selective Channel enable 0: disable 1: enable		Channel 7		Channel 6		Channel 5		Channel 4		Channel 3	
				4 (Hitregister 0)				Hitanzahl Kanal 0				Hitanzahl Kanal 1							
				5 (Hitregister 1)				Hitanzahl Kanal 2				Hitanzahl Kanal 3							
				6 (Hitregister 2)				Hitanzahl Kanal 4				Hitanzahl Kanal 5							
				7 (Hitregister 3)				Hitanzahl Kanal 6				Hitanzahl Kanal 7							

ABBILDUNG C.6: TDC-Datenstruktur

## C.2.2 Funktionsabläufe auslösen

In TDC.vi können folgende Funktionsabläufe mit einem einzigen Tastendruck ausgelöst werden:

- Initialisierungsfunktionen:
  - Reset der FIFOs
  - Reset & Init des TDCs
  - Reset der FIFOs & Reset & Init des TDCs
- Steuerregister lesen und zu Klartext auswerten
- Zeitdaten lesen
- Steuerregisterdaten schreiben (erfordert das Füllen des Ausgabe-FIFOs mit Steuerregisterdaten)
- Auslösen des Triggerimpulses

Das Füllen des Ausgabe-FIFOs wird durch eine Eingabemaske (Abbildung C.7) für die vier Steuerregister erleichtert. Die in binärer Form einzugebenden Daten werden zum Vergleich in die Registerinhalte übersetzt (Siehe Abbildung C.8)

The screenshot shows a LabVIEW control panel for TDC.vi. At the top, there's a 'Data' section with two rows of input fields. The first row has four binary input fields with values 1110010, 0, 110010, and 110110. The second row has four hexadecimal input fields with values 72, 0, 32, and 36. Below this is a 'Data copy hex' label. Further down are 'offset' and 'Satz#' input fields, both set to 0. On the right is a 'memout' button set to 'OFF'.

ABBILDUNG C.7: TDC.vi: Eingabemaske FIFO-Daten. Obere Reihe binäre Eingabe, darunter die Übersetzung in hexadezimale Zahlen. Satz: Es besteht die Möglichkeit mehrere Vierersätze vorzubereiten, die dann durch Angabe dieser Nummer in beliebiger Reihenfolge in den FIFO übertragen werden können. Offset: Offset in der Speicheradresse des FIFOs zum möglichen niedrigsten Wert d800:00aa (Werte: 0,0x8000000)

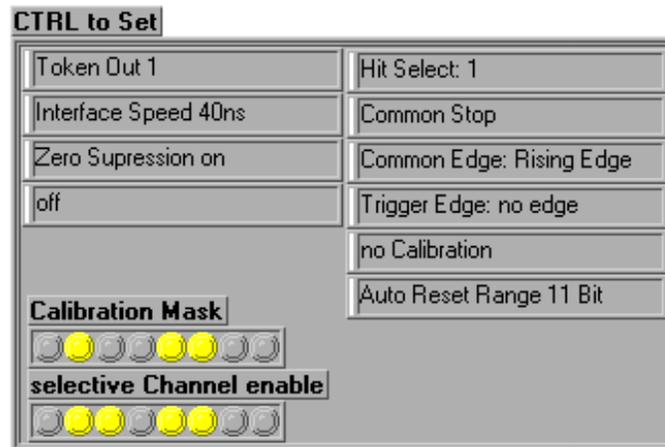


ABBILDUNG C.8: TDC.VI: Auswertung der Steuerregisterdaten zu Klartextinformationen, entsprechend der Datenstruktur aus Abbildung C.6. Links oben sind die Werte des 0. Steuerregisters dargestellt, rechts oben die des 1. Die Inhalte der zweiten und dritten Registers stellen jeweils Masken zum Aktivieren dar. Diese sind im unteren Teil zu sehen. Die Nummerierung der Kanäle erfolgte von rechts nach links im Sinne eines kompletten Datenwortes.

### C.2.3 „Alles zu Fuß“ — Einzelschritt-Verfahren

Alle Zugriffe auf die Adressregister des ROCs können auch im Einzelschritt-Verfahren vollzogen werden. Als Eingabemaske dient hierzu die in Abbildung C.9 gezeigte Struktur.

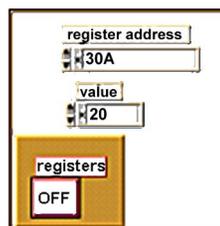


ABBILDUNG C.9: TDC.VI: Direkte Eingabe

Die notwendigen Befehle und Adressen sind den Tabellen aus Abschnitt C.2.1 zu entnehmen.



# Anhang D

## Betriebsdaten

### Versorgungsspannungen

Der Teststand besitzt eine eigene Spannungsstabilisierung, die die benötigten Spannung für das Daughterboard, den Signalgenerator und das DOBOT bereitstellt. Hierfür werden folgende Betriebsspannungen benötigt:

Digitalversorgung	+VD	+14 - 35 Volt
	-VD	-14 - -35 Volt
	DGND	
Analogversorgung	+VA	+7 - 35 Volt
	-VA	-7 - -35 Volt
	AGND	

Die Eingänge für die analogen und digitalen Versorgungsspannungen können auch verbunden werden, wenn auf eine Trennung verzichtet werden soll.

Um Schwankungen in der Versorgungsspannung zu vermeiden, die sich auf den TDC-Meßkreis auswirken, müssen die treibenden Netzgeräte möglichst stabil ausgelegt sein.

Die Versorgungsspannungen für die Daughterboards sind variabel im Bereich von  $\pm (2 - 5)$  Volt mit Potentiometern auf der Spannungsstabilisierung einstellbar.

## Oszillatoreinstellungen

Der programmierbare Ausgang des Oszillatorchips auf dem DOBOT kann in seiner Frequenz von 10 MHz bis 78,125 kHz variiert werden. Dies geschieht durch Setzen der Pegel an den Programmier-eingängen des Chips. Die nebenstehende Tabelle zeigt die möglichen Einstellungen.

Eingang			Frequenz am Ausgang
A	B	C	
L	L	L	$f_0/2^1$
L	L	H	$f_0/2^2$
L	H	L	$f_0/2^3$
L	H	H	$f_0/2^4$
H	L	L	$f_0/2^5$
H	L	H	$f_0/2^6$
H	H	L	$f_0/2^7$
H	H	H	$f_0/2^8$

$f_0$  Basisfrequenz (20 MHz)  
des Chips, H High, L Low

# Anhang E

## Tabelle der benutzten Abkürzungen und Fachbegriffe

ASIC Application Specific Integrated Circuit	IC der anwendungsspezifisch konzipiert ist
CAMAC Computer Aided Measurement And Controlling	(Elektronik-Standard in der Kern- und Hochenergiephysik)
Common-Stop	Verfahren bei der Zeitmessung mehrerer paralleler Kanäle: getrenntes Starten der „Uhren“, gemeinsames Stoppen
Constant-Fraction-Modul	Diskriminator, der bei einem festgelegten Pulshöhe-Gesamtpulshöhe-Verhältnis schaltet
Controller	Steuereinheit
CPLD Complex Programmable Logic Device	vergleiche FPGA, mit besseren Eigenschaften
Crate	Gehäuseüberahmen, Baugruppe zum Aufnehmen von Modulen
Crosstalk	Übersprechen (von Kanälen)
Dbo Daughterboard	Analogverstärkerkarte der MDC-Signalauslese
DOBOT	Daughterboard-Testplatine

FIFO First in First Out	Speicherbaustein, der die Daten in der Reihenfolge ihres Eintreffens speichert und auch wieder ausgibt.
FPC-Kabel Flexible Printed Circuit - Kabel	extrem flache und biegsame gedruckte Schaltungen, die bei den MDCs als Übertragungskabel für mehrere Signale der Kammer zur Analogausleseelektronik genutzt werden
FPGA Free Programmable Gate Array	Per Software vielfach frei programmierbare logische Gatter
GTL Gunning-Transmitter-Logic	(quasi-differentieller Spannungspegel-Standard für binäre elektrische Signale)
HADES High Acceptance DiElektron Spektrometer	Dielektronen Spektrometer mit hoher geometrischer Akzeptanz
IEEE 1149.1 (JTAG) Joint Test Action Group	Definierte Schnittstelle, über die Schaltungen und deren Bausteine vergleichsweise einfach auf Fehler überprüft werden können (boundary scan)
Interface	Schnittstelle
Leading Edge	Führende Flanke
MBS Multi Branch System	GSI eigenes Datenerfassungssystem mit einer verzweigten Kontroll- und Auslesestruktur, vergl. SBS
META Multiplicity Electron Trigger Array	Detektorstufe zum Nachweis von Leptonen an Hand von hohen Teilchenmultiplizitäten und von Flugzeiten. Besteht aus TOF und Showerdetektor
Mobo Motherboard	Digitalisierkarte, verarbeitet die Signale der DBOs zu Zeitdifferenzdaten
MDC Multiwire Drift Chamber	Vieldraht Driftkammer
Readout	Auslese

NIM Standard Nuclear Instruments Module Standard	(Elektronik-Standard in der Kern- und Hochenergiephysik)
Quenchinggas	Löschgas, begrenzt die Ionisation in z.B. Driftkammern auf einen lokalen Bereich
Pile-Up	Überlagerungseffekt von zwei (mehreren) schnell aufeinanderfolgenden Pulsen zu einem gemeinsamen Puls. Information geht verloren.
RICH Ring Imaging Cherenkov Counter	Ringabbildender Cherenkovdetektor
SBS Single Branch System  selftracking	GSI eigenes Datenerfassungssystem, Vorläufer des MBS, mit einer einzigen unverzweigten Auslese- und Kontrollstruktur. Verfahren zum Bestimmen von Kammerigenschaften wie z.B. Auflösung und Nachweiseffizienz unter Verwendung von Symmetrieeigenschaften der Kammer. (Siehe Kapitel 2.3)
Shower-Detector	Schauer-Detektor
Stand-Alone	autark
TDC Time to Digital Converter	Einheit zum Digitalisieren von Zeitdifferenzen
Thresholdspannung	Schwellenspannung
TOF-Wall Time Of Flight	Flugzeit-Wand
TTL Transistor-Transistor-Logic	Transistor-Transistor-Logik (Spannungspegel-Standard für binäre elektrische Signale: HIGH 2-5 Volt, LOW 0-0.8 Volt)



# Literaturverzeichnis

- [CFZ97] S.P. Chernenko, O.V. Fateev, and Yu.V. Zanevsky. Octal Channel Amplifier Discriminator based on ASD8 ASIC for Timinig Measurements with Drift Chambers. *Joint Institute for Nuclear Research, Dubna, E13-97-60*, 1997.
- [CMS98] S.P. Chernenko, C. Müntz, and J. Stroth, 1998. Private Mitteilung.
- [DAQ98] Hades data aquisition. <http://www.e12.physik.tu-muenchen.de/hades> oder <http://hades.gsi.de>, 1998. Internetangebot der HADES-Kollaboration.
- [Gar97] C. Garabatos. Optimisation of low-mass drift chambers for HADES. Accepted for publ. in *Nucl. Instr. Meth*, 1997.
- [Gei97a] Torsten Geist. Entwicklung, Aufbau und Test einer 16 Bit-ISA-Karte für den PC. Bericht zum berufspraktischen Studiensemester, Fachhochschule Gießen-Friedberg, Fachbereich Elektrotechnik 1, Informatonstechnik, Bereich Gießen, April 1997.
- [Gei97b] Torsten Geist. Entwicklung einer PC-Einsteckkarte zur Funktionskontrolle von TDC-ASICs. Diplomarbeit, Fachhochschule Gießen-Friedberg, Fachbereich Elektrotechnik 1, Informationstechnik, Bereich Gießen, 1997.
- [Git94] Peter Gitzel. Entwicklung und Erprobung von Software zur Auslese und Steuerung des TDC-2001 Systems. Diplomarbeit, Johannes Gutenberg Universität Mainz, 1994.
- [GSI98] GSI Scientific Report 1997. *GSI 98-1*, 1998.
- [HAD94] HADES Kollaboration. *Proposal for a High-Acceptance - DiElectron Spectrometer*, 1994.
- [JTA97] IEEE Std. 1149.1 Primer. <http://www.ti.com/sc/docs/jtag/jtaghome.htm>, 1997. Texas Instruments Semiconductor Group.

- [Kön98] Ilse König, 1998. Private Mitteilung.
- [Leo87] William R. Leo. *Techniques for Nuclear and Particle Physics Experiments*. Springer Verlag Berlin, 1987.
- [New93] F.M. Newcomer. A Fast, Low Power Amplifier-Shaper-Discriminator for High Rate Straw Tracking Systems. *IEEE Trans. Nucl. Sci.*, 40(4):630, 1993.
- [PF96] Particles and Fields. *Physical Review D*, 54(1):72–73, July 1996.
- [Sau77] F. Sauli. Principles of operation of multiwire proportional and drift chambers. *CERN 77-09*, 1977.
- [Sch95] H. Schön. *HADES, Ein Dielektronenspektrometer hoher Akzeptanz für relativistische Schwerionenkollisionen*. Dissertation, Institut für Kernphysik, Johann Wolfgang Goethe-Universität, Frankfurt am Main, 1995.
- [Sch96] W. Schön. Simulation of recoilless production of  $\omega$  mesons. *Acta Phys. Pol.*, 11(B27), 1996.
- [SS94] A. Sharma and F. Sauli. Low mass gas mixtures for drift chamber operation. *Nucl. Instr. Meth.*, A350:470–477, 1994.
- [Str95] J. Stroth. Dilepton Spectroscopy with HADES at SIS. *Proceedings of the International Workshop XXII on Gross Properties of Nuclei and Nuclear Excitations, Hirschegg Austria*, pages 202–217, 1995. Ed. by H. Feldmeier und W. Nörenberg.
- [TDC96] Funktionsbeschreibung für den HADES Drift Chamber TDC. September 1996. HADES Kollaboration, MDC-Gruppe.
- [Wüs97] Jörn Wüstenfeld. Untersuchungen zum Konzept der HADES Driftkammerauslese und Test der TDC-Prototypkarte. Diplomarbeit, Institut für Kernphysik, Johann Wolfgang Goethe-Universität, Frankfurt am Main, November 1997.
- [Zen97] Alfred Zentek. Konzeptionelle Untersuchungen für die HADES-Driftkammern am Prototyp 0. Diplomarbeit, Institut für Kernphysik, Johann Wolfgang Goethe-Universität, Frankfurt am Main, 1997.

## Danksagung

Abschließend möchte ich allen mein Dank aussprechen, die zum Gelingen dieser Arbeit beigetragen haben.

Mein Dank gilt insbesondere ...

- ... Herrn Prof. Dr. Peter Braun-Munzinger für die freundliche Aufnahme in die KP I an der GSI.
- ... Herrn Prof. Dr. Helmut Bokemeyer für die freundliche Aufnahme in die HADES- und Leptonengruppe der GSI.
- ... Herrn Dr. Joachim Stroth, Projektleiter der MDC-Gruppe des HADES-Experiments, und Herrn Dr. Christian Müntz, MDC-Gruppe, für die intensive Betreuung mit zahlreichen Hilfen und Hinweisen während meiner gesamten Arbeitsdauer und das ausgiebige Korrekturlesen meiner Diplomarbeit.
- ... Herrn Dr. Jose „Chilo“ Garabatos, für die Betreuung bei den Driftkammerexperimenten, Herrn Torsten Geist für die intensive Zusammenarbeit zur Erstellung des Readout-Controllers, Herrn Rüschemann, Universität Frankfurt, für die Entwicklung des Signalgenerators, Herrn Dr. Florian Schäfer, GSI, für die Hilfeleistungen bei der Entwicklung des DOBOTs und Herrn Sergey P. Chernenko, JINR (Dubna), für die Erklärungen zur Analogelektronik der Daughterboards.
- ... meinem Zimmergenossen Herrn Jörn Wüstenfeld sowie meinen beiden Studienkollegen Herrn Andreas Förster und Herrn Tarek Kreß für die zahlreichen fruchtbaren Diskussionen.
- ... allen Mitgliedern der HADES- und Leptonengruppe an der GSI.
- ... zuletzt meinen Eltern Inge und Wilhelm Zumbruch, die mir mein Studium überhaupt ermöglicht haben.